

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-266678

(43)Date of publication of application : 15.10.1993

(51)Int.Cl.

G11C 16/06
H01L 27/115

(21)Application number : 04-062127

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 18.03.1992

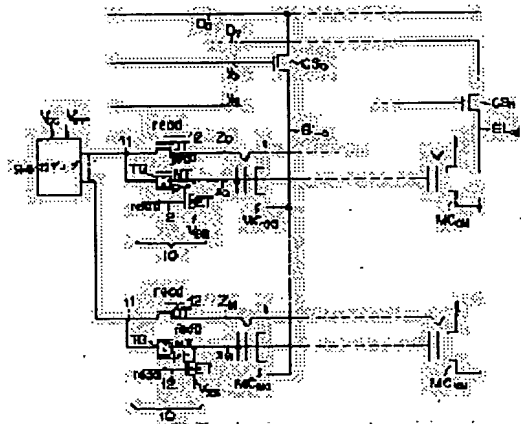
(72)Inventor : UMEZAWA AKIRA
ATSUMI SHIGERU
TANAKA SUMIO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To enable execution of a stable writing/reading operation and also to simplify a design of an element by a method wherein a writing voltage and a threshold voltage are impressed at the time of writing and a prescribed reading voltage at the time of reading so that they correspond to a control gate and a selecting gate of a cell respectively.

CONSTITUTION: Corresponding to reading/writing for a D-type SISOS cell, a control signal level is controlled by a control circuit 10 and thereby an input voltage at a selective input end 11 for a selected row is made a desired writing voltage, which is impressed on a control gate and a selecting gate. By impressing a writing voltage V_{PP} on the control gate and a threshold voltage of a D-type transistor DT on the selecting gate respectively, in other words, the cell is made to be of an E-type. Thereby a margin of a threshold value of the cell is made sufficient for a reference voltage for readout and it is made possible to determine an ON/OFF state of the cell correctly and to execute a reliable and stable writing/reading operation, while a design of an element can be simplified.



Best Available Copy

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] At the time of writing, with the memory cell array by which the floating-gate mold memory cell transistor which has a selector gate in a source field side was arranged in the shape of a matrix Corresponding to [each] the selected control gate and the selected selector gate of a cel of a line, a write-in electrical potential difference and the threshold voltage of the N channel transistor of a depletion type are impressed. At the time of read-out The semiconductor integrated circuit characterized by providing the writing / read-out control circuit which impresses the intermediate voltage and the read-out electrical potential difference between 0V, or 5V and 0V corresponding to [each] the selected control gate and the selected selector gate of a cel of a line.

[Claim 2] Said writing / read-out control

circuit for every line of said memory cell array Between the drain sources is connected between the selection input edges and selector-gate lines which a line decoder output inputs. The N channel transistor of the depletion type with which "L" level / "H" level for read-out is impressed to the gate corresponding to the time of /read-out at the time of writing, The CMOS transfer gate which is connected between the above-mentioned selection input edge and a control gate line, and is controlled by ON/OFF state corresponding to the time of /read-out at the time of writing, The semiconductor integrated circuit according to claim 1 characterized by providing the N channel transistor of the enhancement type which between the drain sources is connected between the above-mentioned control gate line and touch-down potential, and is controlled by OFF/ON state corresponding to the time of /read-out at the time of writing.

[Claim 3] Said writing / read-out control circuit for every line of said memory cell array Between the drain sources is connected between the selection input edges and selector-gate lines which a line decoder output inputs. It has the N channel transistor of the depletion type with which "L" level / "H" level for read-out is impressed to the gate corresponding to the time of /read-out at the time of writing. The control gate line of each line of said memory cell array is a

semiconductor integrated circuit according to claim 1 characterized by connecting with the outgoing end of the writing / read-out electrical-potential-difference switch circuit which outputs the intermediate voltage between a write-in electrical potential difference / 0V, or 5V and 0V corresponding to the time of /read-out at the time of writing.

[Claim 4] It is the semiconductor integrated circuit according to claim 3 which said memory cell array is divided into a line address by the block of ***** plurality, and is characterized by the output of said line decoder, and said writing / read-out electrical-potential-difference switch circuit carrying out decoder output and electrical-potential-difference supply to the block by which ***** selection was made at the line address.

[Claim 5] Said writing / read-out control circuit for every line of said memory cell array Between the drain sources is connected between the selection input edges and selector-gate lines which a line decoder output inputs. The 1st N channel transistor of the depletion type with which "L" level / "H" level for read-out is impressed to the gate corresponding to the time of /read-out at the time of writing, Between the drain sources is connected between the above-mentioned selection input edge and a control gate line. The semiconductor integrated

circuit according to claim 1 characterized by providing the 2nd N channel transistor of the depletion type with which H" level / ["] "L" level for writing are impressed to the gate corresponding to the time of /read-out at the time of writing.

[Claim 6] Said writing / read-out control circuit for every line of said memory cell array Between the drain sources is connected between the selection input edges and selector-gate lines which a line decoder output inputs. It has the N channel transistor of the depletion type with which "L" level / "H" level for read-out is impressed to the gate corresponding to the time of /read-out at the time of writing. Between the drain sources is connected between the outgoing ends of writing / read-out electrical-potential-difference switch circuit and control gate lines which output the intermediate voltage between a write-in electrical-potential difference / 0V, or 5V and 0V corresponding to the time of /read-out at the time of writing. The semiconductor integrated circuit according to claim 1 characterized by providing the 2nd N channel transistor of the depletion type with which H" level / ["] "L" level for writing are impressed to the gate corresponding to the time of /read-out at the time of writing.

[Claim 7] It is the semiconductor integrated circuit according to claim 6 which said memory cell array is divided

into a line address by the block of ***** plurality, and is characterized by the output of said line decoder, and said writing / read-out electrical-potential-difference switch circuit carrying out decoder output and electrical-potential-difference supply to the block by which ***** selection was made at the line address.

[Claim 8] At the time of the writing of the floating-gate mold memory cell transistor which has a selector gate in a source field side, and was depletion-type-ized in the state of un-writing in, and the above-mentioned memory cell transistor A write-in electrical potential difference is impressed to the control gate, and the threshold voltage of the N channel transistor of a depletion type is impressed to the selector gate. At the time of read-out The semiconductor integrated circuit characterized by providing the writing / read-out control circuit which impresses the intermediate voltage between 0V, or 5V and 0V to the control gate, reads to the selector gate and impresses an electrical potential difference.

[Claim 9] Between the drain sources is connected between the writing / read-out control-input edge into which a write-in electrical potential difference / interruptible power source electrical potential difference inputs said writing / read-out control circuit corresponding to the time of /read-out at the time of

writing, and the selector gate of said memory cell transistor. The N channel transistor of the depletion type with which "L" level / "H" level for read-out is impressed to the gate corresponding to the time of /read-out at the time of writing, The CMOS transfer gate which is connected between the above-mentioned writing / read-out control-input edge, and the control gate of the above-mentioned memory cell transistor, and is controlled by ON/OFF state corresponding to the time of /read-out at the time of writing, The semiconductor integrated circuit according to claim 8 characterized by providing the N channel transistor of the enhancement type which between the drain sources is connected between the above-mentioned control gate and touch-down potential, and is controlled by OFF/ON state corresponding to the time

of /read-out at the time of writing.

[Claim 10] Between the drain sources is connected between the 1st writing / read-out control-input edge into which a write-in electrical potential difference / interruptible power source electrical potential difference inputs said writing / read-out control circuit corresponding to the time of /read-out at the time of writing, and the selector gate of said memory cell transistor. It has the N channel transistor of the depletion type with which "L" level / "H" level for read-out is impressed to the gate

corresponding to the time of /read-out at the time of writing. The control gate of said memory cell transistor is a semiconductor integrated circuit according to claim 8 characterized by connecting with the 2nd writing / read-out control-input edge which the intermediate voltage between a write-in electrical potential difference / 0V, or 5V and 0V inputs corresponding to the time of /read-out at the time of writing.

[Claim 11] Between the drain sources is connected between the 1st writing / read-out control-input edge into which a write-in electrical potential difference / interruptible power source electrical potential difference inputs said writing / read-out control circuit corresponding to the time of /read-out at the time of writing, and the selector gate of said memory cell transistor. The 1st N channel transistor of the depletion type with which "L" level / "H" level for read-out is impressed to the gate corresponding to the time of /read-out at the time of writing, Between the drain sources is connected between the above-mentioned writing / read-out electrical-potential-difference switch circuit, and the control gate of said memory cell transistor. The semiconductor integrated circuit according to claim 8 by which it is characterized possessing the 2nd N channel transistor of the depletion type with which H" level / ["] "L" level for

writing are impressed to the gate corresponding to the time of /read-out at the time of writing.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to a non-volatile memory cell with the selector gate which started the semiconductor integrated circuit, especially was formed in the side attachment wall by the side of the source field of the control gate and a floating gate through the flank insulator layer, and the non-volatile semiconductor memory using it.

[0002]

[Description of the Prior Art] Recently, the EEPROM cel suitable for package elimination is proposed as a kind of an EEPROM (read-only memory in which electric elimination and rewrite are possible) cel, and the cross-section structure is shown in drawing 7 (a), and it shows the equal circuit to drawing 7 (b).

[0003] In drawing 7 (a), the semi-conductor substrate of the 1st conductivity type, and 72 and 73 are prepared alternatively [71] on the front face of this semi-conductor substrate 71. The 1st impurity range (drain) and the

2nd impurity range (source) of the 2nd conductivity type where the above-mentioned semi-conductor substrate 71 is reverse, The 1st gate dielectric film with which 74 was formed on the above-mentioned semi-conductor substrate front face, the 1st gate electrode with which 75 was prepared through the 1st gate dielectric film 74 of the above between the drain sources on the above-mentioned semi-conductor substrate (floating gate), The 2nd gate electrode (control gate) with which 76 was prepared through the interlayer insulation film 77 on this floating gate, 78 is the 3rd gate electrode (selector gate) prepared through the 2nd gate dielectric film 80 through the flank insulator layer 79 at the source field side side attachment wall of the above-mentioned floating gate 75 and the control gate 76 on said semi-conductor substrate.

[0004] Thus, the EEPROM cel which has a selector gate 78 in a source field side. The floating-gate mold transistor which has a floating gate 74 and the control gate 76 like the equal circuit shown in (b) of drawing 7, The selection transistor (offset gate) which has a selector gate 78 is connected to the serial. There are the features that the problem that threshold voltage V_{TH} becomes negative by fault elimination, and it is always turned on is avoidable, and this cel is hereafter called a SISOS (Sidewall Select Gate On Its Source Side) cel.

[0005] Here, fault elimination of a cel is explained briefly. If an electron is poured into a floating gate 74, the threshold of a cel goes up rather than the usual forward value, and the cel is turned off on the usual read-out electrical potential difference. Although it becomes the original threshold again by drawing out an electron from the written-in cel, if an electron is drawn out too much conversely, a threshold will fall further, there is what a threshold becomes negative (depletion-type-izing of a cel), and elimination which brings about such a condition is called fault elimination. Usually, if fault elimination arises, a cel is always turned on, unless bias is impressed to the control gate 76, a current will flow to the bit line connected to the cel, and it will become impossible to read this cel. Conventionally, at the time of selection of a SISOS cel, as shown in Table 1, corresponding to each mode of operation, the electrical potential difference is impressed.

[0006]

[Table 1]

	読み出し	書込み	消去
制御ゲート電圧 V_{CG}	V_{CC}	V_{PP}	OV
選択ゲート電圧 V_{SG}	V_{CC}	1.5V	OV
ドレインの電圧 V_D	1V	V_{CC}	V_{PP}

[0007] That is, at the time of writing, the

write-in electrical potential difference VPP (usually 12.5 V) is impressed to the control gate, 1.5V are impressed to a selector gate, supply voltage VCC (usually 5 V) is impressed to the control gate and a selector gate, respectively at the time of read-out, and touch-down potential 0V are impressed to the control gate and a selector gate, respectively at the time of elimination.

[0008] Drawing 8 takes out a part of array of the SISOS cel of drawing 7, and the circuit connection is shown. The SISOS cel and x0 -xM which were arranged MC00 - in the shape of a MCMN matrix. The control gate line of a line writing direction, z0 -zM. The selector-gate line of a line writing direction, and BL0 -BLN. The bit line of the direction of a train, CS0 - crucible swelling number A train selector gate and y0 -yN. A train selection-control line, and D0-D7. It is the data line (sense line) connected common to two or more trains.

[0009] Drawing 9 shows a part of circuit block of the conventional EEPROM which used the memory cell array of drawing 8. Here, a mode switch circuit and 93 read a write-in middle potential generating circuit and 92, 91 reads a line decoder and 95 for a mode setting signal generating circuit and 94, and, as for a middle potential generating circuit and 96, a train decoder and 97 are memory cell arrays.

[0010] In the above conventional

EEPROMs, on the occasion of read-out to the SISOS cel as which it was chosen in the memory cell array 97, the same supply voltage VCC is impressed to the selector gate and control gate, and the read-out electrical potential difference of 1V is impressed to the drain through the train selector gate chosen from the read-out middle potential generating circuit 95 connected to the sense line. Under the present circumstances, to the SISOS cel which is not chosen, 0V are impressed to that selector gate and the control gate, and an electrical potential difference is not impressed to that drain (suspension condition).

[0011] Moreover, on the occasion of the writing (program) to the selected SISOS cel, the middle potential (1.5V) generated by the write-in middle potential generating circuit 91 is impressed to the selector gate, the write-in electrical potential difference VPP of an external power electrical potential difference or an internal pressure-up electrical potential difference is impressed to the control gate, and supply voltage VCC is impressed to the drain through the train selector gate chosen from the sense line. Under the present circumstances, to the SISOS cel which is not chosen, 0V are impressed to that selector gate and the control gate, and an electrical potential difference is not impressed to that drain.

[0012] Moreover, for example, on the occasion of package elimination to a

SISOS cel, 0V are impressed to the selector gate and the control gate, and the write-in electrical potential difference VPP is impressed to the drain through a train selector gate from a sense line.

[0013] As described above, the conventional EEPROM as applied voltage to the selector gate of the selected SISOS cel Corresponding to the time of read-out / writing / elimination, three kinds of electrical potential differences must be properly used like 5V / 1.5V/0V. The write-in middle potential generating circuit 91 was required, and in order to impress an electrical potential difference which is different to the selector gate and the control gate of the selected SISOS cel at the time of writing, cel circumference circuits, such as the line decoder 94, were complicated.

[0014] That such a trouble should be solved, as shown in drawing 10, the semiconductor integrated circuit which has a non-volatile memory cell possessing the N channel transistor DT of the depression (D) mold to which between the drain sources was connected between the control gate CG of the SISOS cel 1 and a selector gate SG is proposed.

[0015] According to the non-volatile memory cell concerning this proposal, input the output of a line decoder into coincidence at the control gate CG and the selector gate SG of the SISOS cel 1, for example, and a cel is chosen. Only by setting gate voltage read of D mold

transistor DT to supply voltage VCC / 0V/0V (middle potential needlessness) corresponding to read-out / writing / elimination Since control gate voltage is told to a selector gate through D mold transistor DT and a desired electrical potential difference comes to be impressed to a selector gate Without needing the special circuit which generates the middle potential of the writing to a non-volatile memory cell, it becomes possible to supply easily a bias condition required at the time of read-out of a cel and writing moreover, and simplification of a cel circumference circuit can be attained.

[0016] That is, on the occasion of the writing to a cel, the write-in electrical potential difference Vpp is impressed to the control gate CG, 0V are impressed to the gate of D mold transistor DT, and supply voltage VCC is impressed to the drain. in this case, the threshold voltage (V_{THD}) of D mold transistor DT -- about 1.5 -- it is V -- then, this D mold transistor DT -- letting it pass -- the selector gate of a cel -- about 1.5 -- V is transmitted.

[0017] Moreover, on the occasion of read-out of a cel, supply voltage VCC is impressed to the control gate CG, supply voltage VCC is impressed to the gate of D mold transistor DT, it reads to the drain and an electrical potential difference is impressed. In this case, supply voltage VCC gets across to the selector gate of a cel through D mold transistor DT.

[0018] Moreover, on the occasion of elimination to a cel, 0V are impressed to the control gate CG, 0V are impressed to the gate of D mold transistor DT, and the write-in electrical potential difference VPP is impressed to the drain. In this case, 0V get across to the selector gate of a cel through D mold transistor DT.

[0019] By the way, D mold transistor DT is connected between the control gates CG of the SISOS cel 1 and selector gates SG which were described above, and if the non-volatile memory cell by which supply voltage VCC is impressed to the control gate CG and a selector gate SG on the occasion of read-out, respectively has the threshold VTH of a cel fully larger than supply voltage VCC, the signal "0" of an OFF state will be read correctly. However, to reference voltage 5V of read-out of the margin of the threshold VTH of the cel written in by the about

[12.5V] write-in electrical potential difference VPP, since it is few, it may happen that a cel with inadequate writing exists. It may happen that the OFF state of a cel will not be correctly read as a signal "0", but will be accidentally read as a signal "1" on the occasion of read-out of a cel with this insufficient writing.

[0020] Although this problem is avoidable if the write-in electrical potential difference VPP is made high with 15V, the transistor used for a cel circumference circuit must be designed to

a high proof-pressure transistor, and the scaling of a cel circumference circuit and a cel becomes difficult. Process-processing of performing the field ion implantation for raising the junction breakdown voltage which thickens gate oxide is specifically needed, and it is troublesome.

[0021]

[Problem(s) to be Solved by the Invention] A non-volatile memory cell which was described above and by which the current proposal is made To reference voltage 5V of read-out of the margin of the threshold VTH of the cel written in by the about [12.5V] write-in electrical potential difference VPP, since it is few There is a problem that it happens that a cel with inadequate writing exists and it happens that the signal "0" of an OFF state is not correctly read on the occasion of read-out, and if it is going to avoid this and the write-in electrical potential difference VPP is made high, there is a problem that a scaling becomes difficult.

[0022] It was made that the above-mentioned trouble should be solved and the writing / read-out actuation stabilized even when the purpose used about [usual] 12.5V as a write-in electrical potential difference VPP of a cel are attained, and this invention is simple for a component design, and is to offer the semiconductor integrated circuit with which the advantage of not being accompanied by difficult-ization of a

scaling is acquired.

[0023]

[Means for Solving the Problem] At the time of writing, the semiconductor integrated circuit of the 1st invention with the memory cell array by which the floating-gate mold memory cell transistor which has a selector gate in a source field side was arranged in the shape of a matrix. Corresponding to [each] the selected control gate and the selected selector gate of a cel of a line, a write-in electrical potential difference and the threshold voltage of the N channel transistor of a depletion type are impressed. At the time of read-out It is characterized by providing the writing / read-out control circuit which impresses the intermediate voltage and the read-out electrical potential difference between 0V, or 5V and 0V corresponding to [each] the selected control gate and the selected

selector gate of a cel of a line.

[0024] Moreover, the floating-gate mold memory cell transistor which the semiconductor integrated circuit of the 2nd invention has a selector gate in a source field side, and was formed into D mold in the state of un-writing in. At the time of the writing of the above-mentioned memory cell transistor A write-in electrical potential difference is impressed to the control gate, and the threshold voltage of the N channel transistor of a depletion type is impressed to the selector gate. At the

time of read-out It is characterized by providing the writing / read-out control circuit which impresses the intermediate voltage between 0V, or 5V and 0V to the control gate, reads to the selector gate and impresses an electrical potential difference.

[0025]

[Function] Although the SISOS cel formed into D mold is used and the threshold seen from the control gate in the state of un-writing in has become negative, the non-volatile memory cell used with the semiconductor integrated circuit of this invention Since the write-in electrical potential difference VPP can be impressed to the control gate, the threshold voltage of D mold transistor can be impressed to a selector gate and a cel can be formed into E mold even if the write-in electrical potential difference VPP of a cel is about 12.5V It becomes

enough to the reference voltage of

read-out of the reference voltage of

read-out of the margin of touch-down potential or intermediate voltage lower than 5V, then the threshold V_{TH} of a cel. Therefore, if touch-down potential or intermediate voltage lower than 5V is impressed to supply voltage VCC and the control gate on the occasion of read-out of a cel at a selector gate It becomes possible for the cel which the selector gate was turned on and chosen to be D mold, to be E mold, or [that is,] only for the selected cel to judge correctly OFF/ON state of a

cel, and to read "0"/"1" of a signal correctly corresponding to OFF / ON state forward. Thus, since actuation becomes possible on the usual write-in electrical potential difference VPP, a component design is easy and does not need to be accompanied by difficult-ization of a scaling.

[0026]

[Example] Hereafter, the example of this invention is explained to a detail with reference to a drawing.

[0027] Drawing 1 takes out a part of memory cell array of EEPROM concerning the 1st example of this invention, and a part of circumference circuit, and shows circuit connection. Compared with EEPROM which mentioned this EEPROM above with reference to drawing 10, the SISOS cel ST formed into D mold in the state of un-writing in is used, and writing differs

from the read-out control circuit 10. For every line of a memory cell array; namely, as writing / a read-out control circuit 10 The CMOS transfer gate TG connected between the selection input edges 11 and control gate lines (the 1st word line) which a line decoder output inputs E mold transistor ET for reset by which between the drain sources was connected between the above-mentioned control gate line and the touch-down potential VSS, and the gate was connected to the gate of the P channel transistor PT of the above-mentioned CMOS transfer gate TG

D mold transistor DT by which between the drain sources was connected between the selection input edge 11 and the selector-gate line (the 2nd word line), and each gate was connected in common to the control signal line 12 is provided. Here, the same control signal read as the gate of said D mold transistor DT inputs into the gate of the P channel transistor PT of the above-mentioned CMOS transfer gate TG, and the gate of E mold transistor ET, and reversal control signal/(read) with the above-mentioned complementary control signal read inputs into the gate of the N channel transistor NT of the above-mentioned CMOS transfer gate TG. the above-mentioned control signal read -- the time of read-out actuation -- reading -- "H" level (usually VCC electrical potential difference) of business -- other than this -- coming out -- "L" level (0V) -- becoming -- above-mentioned reversal control signal/(read) -- the time of read-out actuation -- "L" level (0V) -- other than this -- coming out -- it is set to "H" level for writing (usually VPP electrical potential difference). In addition, in drawing 1, the same sign is given to the same part as the inside of drawing 10. Next, in EEPROM of the above-mentioned configuration, as shown in Table 2, corresponding to writing / read-out actuation, an electrical potential difference is impressed.

[0028]

	読み出し	書き込み	書き込み (非選択)
制御ゲート電圧 V_{CG}	0V	V_{PP}	0V
選択ゲート電圧 V_{SG}	V_{CC}	1.5V	0V
ドレインの電圧 V_D	1V	V_{CC}	V_{CC}

[0029] That is, on the occasion of the writing to the SISOS cel (for example, MC0N) as which it was chosen in the memory cell array, the write-in electrical potential difference V_{PP} is impressed to the selection input edge 11 of the line chosen by the line decoder. Since the ON state and E mold transistor ET are turned off, the CMOS transfer gate TG of the line chosen at this time is impressed to the control gate of the cel of a line where the write-in electrical potential difference V_{PP} was chosen through the above-mentioned CMOS transfer gate TG for them. Moreover, at this time, the control signal read of "L" level is impressed to the gate of D mold transistor DT, and about 1.5 V gets across to the selector gate of the cel of the selected line through D mold transistor DT. In addition, in the drain of the cel of the train chosen by the train decoder, supply voltage V_{CC} is a sense line to train selector-gate crucible swelling number. And bit line BLN It is passed and impressed.

[0030] Under the present circumstances, 0V are impressed to the selection input edge 11 of a non-choosing line, 0V are impressed to the control gate line (x0 except) of a non-choosing line, and a

selector-gate line (z0 except), and an electrical potential difference is not impressed to the drain connected to the train selector gate (crucible swelling number except) and bit line (BLN except) of a non-choosing train. Therefore, writing is performed to selected SISOS cel MC0N, and writing is not performed in the other SISOS cel which is not chosen.

[0031] Moreover, on the occasion of read-out to the SISOS cel (for example, MC0N) as which it was chosen in the memory cell array, supply voltage V_{CC} is impressed to the selection input edge 11 of the selected line. As for the CMOS transfer gate TG of the line chosen at this time, touch-down potential is impressed, as for the control gate of the cel of a line where they were chosen since the OFF state and E mold transistor ET were turned on. Moreover, at this time, the control signal read of "H" level for read-out is impressed to the gate of D mold transistor DT, and supply voltage V_{CC} gets across to the selector gate of the cel of the selected line through D mold transistor DT. In addition, in the drain of a cel, the read-out electrical potential difference (about 1 V) of a sense line is train selector-gate crucible swelling number. And bit line BLN It is passed and impressed.

[0032] Under the present circumstances, 0V are impressed to the selection input edge 11 of a non-choosing line, 0V are

and impressed.

[0032] Under the present circumstances, 0V are impressed to the selection input edge 11 of a non-choosing line, 0V are impressed to the control gate line (x0 except) of a non-choosing line, and a selector-gate line (z0 except), and an electrical potential difference is not impressed to the drain connected to the train selector gate (crucible swelling number except) and bit line (BLN except) of a non-choosing train. Therefore, read-out is performed from selected SISOS cel MCON, and read-out is not performed from the other SISOS cel which is not chosen.

[0033] In EEPROM of the 1st example of the above, the SISOS cel ST formed into D mold is used, and although the threshold seen from the control gate is negative, the cel in the condition of not writing in By controlling control signal

level corresponding to read-out/writing of a cel, it is controlled so that the input voltage of the selection input edge 11 of a selection line turns into a desired electrical potential difference, and it is impressed by the control gate of the cel of a selection line, and the selector gate, and stable writing / read-out actuation are attained. That is, since the write-in electrical potential difference VPP can be impressed to the control gate, the threshold voltage of D mold transistor DT can be impressed to a selector gate and a cel can be formed into E mold even if the

write-in electrical potential difference VPP of a cel is about 12.5V, it becomes enough to reference voltage 0V of read-out of the reference voltage of read-out of the margin of touch-down potential, then the threshold VTH of a cel. Therefore, if supply voltage VCC is impressed to a selector gate and touch-down potential is impressed to the control gate on the occasion of read-out of a cel, it will become possible for the cel which the selector gate was turned on and chosen to be D mold, to be E mold, or [that is,] only for the cel of a selection line to judge correctly OFF/ON state of a cel, and to read "0"/"1" of a signal correctly corresponding to OFF/ON state.

[0034] Thus, since actuation becomes possible on the usual write-in electrical potential difference VPP (it is 12.5V as well as the write-in electrical potential difference VPP of conventional 4

M-EEPROM), a component design is easy and very effective also in the semantics of not being accompanied by difficult-ization of a scaling.

[0035] Moreover, according to the EEPROM of the 1st example of the above, all cels are in either condition of selection or un-choosing, and the circuit actuation which 0V were impressed and was stabilized by the control gate of a non-choosing cel and the selector gate is attained. And it becomes possible to attain simplification of a cel circumference circuit, without needing

the special circuit which generates the middle potential of writing.

[0036] In addition, since the logic of the electrical-potential-difference impression to the control gate and a selector gate becomes complicated a little and needs the MOS transistor writing / for read-out control circuit 10 corresponding to having formed the SISOS cel ST into D mold in the state of un-writing in, the pattern of a line decoder becomes complicated a little. However, a number of extent of MOS transistors currently used for above-mentioned writing / read-out control circuit 10 are easy to patternize, and do not restrain the pitch of a memory cell. If it puts in another way, the design of the line decoder doubled with the size of a memory cell will be attained.

[0037] Drawing 2 takes out a part of memory cell array of EEPROM concerning the 2nd example of this invention, and a part of cell circumference circuit, and shows circuit connection.

This EEPROM compares with EEPROM mentioned above with reference to drawing 1. E mold transistor ET CMOS transfer gate TG and for reset of each line is omitted. Control gate line (1st word line) x0 -xM of each line The points connected to the outgoing end of the writing / read-out electrical-potential-difference switch circuit 20 which exists in a cel circumference circuit [each line] (it dissociates from the selection input edge

11) differ. Since others are the same, they attach the same sign as the inside of drawing 1.

[0038] Above-mentioned writing / read-out electrical-potential-difference switch circuit 20 The N channel transistor 21 of E mold with which the level shift of the signal of a VCC system is carried out to a VPP system, write-in enable signal/(WE) inputs into an end, and supply voltage VCC is impressed to the gate, The P channel transistor 22 of E mold connected between a VPP electrical-potential-difference terminal and the other end of the above-mentioned N channel transistor 21, The P channel transistor 23 by which the gate was connected to the drain of this P channel transistor 22, and the source was connected to the VPP electrical-potential-difference terminal, Between the drain sources is connected between the drain of this P channel transistor 23, and touch-down potential.

It consists of an N channel transistor 24 which said signal/(WE) inputs into the gate, and the drain Point of Interface of the above-mentioned P channel transistor 23 and the N channel transistor 24 serves as an outgoing end.

[0039] Here, actuation of writing / read-out electrical-potential-difference switch circuit 20 is explained. Now, the N channel transistor 24 turns [signal/(WE)] on in a non-activity (this example "H" level) condition, an outgoing

end discharges, and it is set to 0V. On the other hand, if signal/(WE) changes activity (this example "L" level), a current will flow out of the high potential VPP through the P channel transistor 22 and the N channel transistor 21. The P channel transistor 23 is turned on until the gate potential of the P channel transistor 23 rises and this reaches $VPP - V_{thp}$ (V_{thp} is the threshold voltage of a P channel transistor) according to this current. When this P channel transistor 23 turns on, an outgoing end is charged with the high potential VPP. And the potential of an outgoing end is $VPP - V_{thp}$. If it reaches, the P channel transistor 22 will become off. At this time, the P channel transistor 23 is also turned OFF, the current drain path from the high potential VPP of it is lost, and a VPP electrical potential difference outputs it from an outgoing end. In EEPROM of above-mentioned drawing 2, as shown in Table 3, corresponding to the mode of operation of writing/read-out, an electrical potential difference is impressed.

[0040]

[Table 3]

	読み出し	書き込み	書き込み (非選択)
制御ゲート電圧 V_{CG}	0V	V_{pp}	V_{pp}
選択ゲート電圧 V_{SG}	V_{CC}	1.5V	0V
ドレインの電圧 V_D	1V	V_{CC}	V_{CC}

[0041] namely, the writing to the SISOS cel (for example, MCON) as which it was chosen in the memory cell array -- facing -- each -- control gate line $x_0 \sim x_M$ The write-in electrical potential difference VPP is impressed from writing / read-out electrical-potential-difference switch circuit 20, and the write-in electrical potential difference VPP is impressed to the selection input edge 11 of the line chosen by the line decoder. At this time, the control signal read of "L" level is impressed to the gate of D mold transistor DT, and about 1.5 V gets across to the selector gate of the cel of the selected line through D mold transistor DT. In addition, in the drain of the cel of the train chosen by the train decoder, supply voltage VCC is a sense line to train selector-gate crucible swelling number. And bit line BLN It is passed and impressed.

[0042] Under the present circumstances, although the write-in electrical potential difference VPP is impressed also to the control gate line (x_0 except) of a non-choosing line Since 0V are impressed to the selection input edge 11 of a non-choosing line, these 0V let D mold transistor DT pass. On the selector-gate line (z_0 except) of a non-choosing line Propagation, An electrical potential difference is not impressed to the drain connected to the train selector gate (crucible swelling number except) and bit

line (BLN except) of a non-choosing train. Therefore, writing is performed to selected SISOS cel MCON, and writing is not performed in the other SISOS cel which is not chosen.

[0043] moreover, read-out to the SISOS cel (for example, MCON) as which it was chosen in the memory cell array -- facing -- each -- control gate line x0 -xM Writing / read-out electrical-potential-difference switch circuits 20-0V are impressed, and supply voltage VCC is impressed to the selection input edge 11 of the line chosen by the line decoder. At this time, the control signal of "H" level for read-out is impressed to the gate of D mold transistor DT, and supply voltage VCC gets across to the selector gate of the cel of the selected line through D mold transistor DT. In addition, in the drain of a cel, the read-out electrical potential difference (about 1 V) of a sense line is train-selector-gate, crucible-swelling number. And bit line: BLN. It is passed and impressed.

[0044] Under the present circumstances, although 0V are impressed also to the control gate line (x0 except) of a non-choosing line Since 0V are impressed to the selection input edge 11 of a non-choosing line, these 0V let D mold transistor DT pass. On the selector-gate line (z0 except) of a non-choosing line Propagation, An electrical potential difference is not impressed to the drain connected to the train selector gate

(crucible swelling number except) and bit line (BLN except) of a non-choosing train. Therefore, read-out is performed from selected SISOS cel MCON, and read-out is not performed from the other SISOS cel which is not chosen.

[0045] In EEPROM of above-mentioned drawing 2 , the same effectiveness as EEPROM of the 1st example mentioned above is acquired, and also the circuitry of a line decoder becomes easy and becomes advantageous in pattern.

[0046] Drawing 3 takes out a part of memory cell array concerning the modification of EEPROM of the 2nd example mentioned above with reference to above-mentioned drawing 2 , and a part of cel circumference circuit, and shows circuit connection. A memory cell array is divided into a line address by the block of ***** plurality compared with EEPROM which mentioned this EEPROM above with reference to drawing 2 , the points constituted so that the output of said line decoder, and writing / read-out electrical-potential-difference switch circuit 20' may perform the line selection and the supply voltage switch to the block by which ***** selection was made at the line address differ, and since others are the same, they attach the same sign as the inside of drawing 2 . In EEPROM of above-mentioned drawing 3 , as shown in Table 4, corresponding to the mode of operation of writing/read-out, an

impressed.

[0047]

[Table 4]

	読み出し	書き込み	書き込み (半選択)	書き込み (非選択)
制御ゲート電圧 V_{CG}	0V	V_{PP}	V_{PP}	0V
選択ゲート電圧 V_{SG}	V_{CC}	1.5V	0V	0V
ドレインの電圧 V_D	1V	V_{CC}	V_{CC}	V_{CC}

[0048] Although actuation of this EEPROM is performed according to actuation of EEPROM of the 2nd example, while completeness the cel of not choosing [by which 0V are impressed to the control gate and a selector gate, respectively at the time of writing] exists in a non-choosing block, and the write-in electrical potential difference V_{PP} is impressed to the control gate at the time of writing, the cel in the half-selection condition that 0V are impressed to a selector gate comes to exist in a selection block.

[0049] Drawing 4 takes out a part of memory cell array of EEPROM concerning the 3rd example of this invention, and a part of cel circumference circuit, and shows circuit connection. This EEPROM compares with EEPROM mentioned above with reference to drawing 1. They are the selection input edge 11 and the selector-gate line zi for every line. 1st D mold transistor DT 1 connected in between independently The selection input edge 11 and control gate line xi 2nd D mold transistor DT 2 is connected in between. Each gate of this

2nd D mold transistor DT 2 is connected to the 2nd control signal line 41 in common. It differs in that complementary reversal control signal/(read) is given to the control signal line 41 of the above 2nd to the control signal read of the 1st control signal line 12 to which each gate of 1st D mold transistor DT 1 is connected in common. Since others are the same, they attach the same sign as the inside of drawing 1. In EEPROM of above-mentioned drawing 4, as shown in Table 5, corresponding to the mode of operation of writing/read-out, an electrical potential difference is impressed.

[0050]

[Table 5]

	読み出し	書き込み	書き込み (非選択)
制御ゲート電圧 V_{CG}	1.5V	V_{PP}	0V
選択ゲート電圧 V_{SG}	V_{CC}	1.5V	0V
ドレインの電圧 V_D	1V	V_{CC}	V_{CC}

[0051] That is, on the occasion of the writing to the SISOS cel (for example, MC0N) as which it was chosen in the memory cell array, the write-in electrical potential difference V_{PP} (12.5V) is impressed to the selection input edge 11 of the line chosen by the line decoder. the selector gate of the cel of the line which control signal/(read) of "L" level is impressed to the gate of 1st D mold

selector gate of the cel of the line which control signal/(read) of "L" level is impressed to the gate of 1st D mold transistor DT 1, and was chosen at this time -- 1st D mold transistor DT 1 -- letting it pass -- about 1.5 -- V is transmitted. on the other hand -- the control gate of the cel of the line which reversal control signal/(read) of "H" level (VPP) for writing is impressed to the gate of 2nd D mold transistor DT 2, and was chosen -- 2nd D mold transistor DT 2 -- letting it pass -- about 12.5 -- V is transmitted. In addition, in the drain of the cel of the train chosen by the train decoder, supply voltage VCC is a sense line to train selector-gate crucible swelling number. And bit line BLN It is passed and impressed.

[0052] Under the present circumstances, since 0V are impressed to the selection input edge of a non-choosing line, 0V are impressed to the selector-gate line (z0 except) and control gate line (z0 except) of a non-choosing line, and an electrical potential difference is not impressed to the drain connected to the train selector gate (crucible swelling number except) and bit line (BLN except) of a non-choosing train. Therefore, writing is performed to selected SISOS cel MCON, and writing is not performed in the other SISOS cel which is not chosen.

[0053] Moreover, on the occasion of read-out to the SISOS cel (for example, MCON) as which it was chosen in the

memory cell array, supply voltage VCC is impressed to the selection input edge 11 of the line chosen by the line decoder. At this time, the control signal read of "H" level (VCC) for read-out is impressed to the gate of 1st D mold transistor DT 1, and supply voltage VCC gets across to the selector gate of the cel of the selected line through 1st D mold transistor DT 1. on the other hand -- the control gate of the cel of the line which reversal control signal/(read) of "L" level is impressed to the gate of 2nd D mold transistor DT 2, and was chosen -- 2nd D mold transistor DT 2 -- letting it pass -- about 1.5 -- V is transmitted. In addition, in the drain of a cel, the read-out electrical potential difference (about 1 V) of a sense line is train selector-gate crucible swelling number. And bit line BLN It is passed and impressed.

[0054] Under the present circumstances, since 0V are impressed to the selection input edge of a non-choosing line, 0V are impressed to the selector-gate line (z0 except) and control gate line (z0 except) of a non-choosing line, and an electrical potential difference is not impressed to the drain connected to the train selector gate (crucible swelling number except) and bit line (BLN except) of a non-choosing train. Therefore, read-out is performed from selected SISOS cel MCON, and read-out is not performed from the other SISOS cel which is not chosen.

[0055] In addition, what is necessary is

for the threshold voltage of the two above-mentioned D mold transistors DT1 and DT2 not to necessarily be restricted similarly, but to design it to the value which is different from each other, and just to design 2nd D mold transistor DT 2 so that the intermediate voltage between the interruptible power source electrical potential difference VCC and 0V may get across to the control gate of the cel of a selection line when "L" level is impressed to the gate on the occasion of read-out.

[0056] In EEPROM of above-mentioned drawing 4 , although middle potential (this example 1.5 V) lower than the interruptible power source electrical potential difference VCC (5V) is impressed to the control gate of a cel at the time of read-out, the same effectiveness as EEPROM of the 1st example mentioned above is acquired.

[0057] Drawing 5 takes out a part of memory cell array of EEPROM which deformed like the 2nd example which was mentioned above with reference to said drawing 2 , and a part of cel circumference circuit to EEPROM of above-mentioned drawing 4 , and shows circuit connection. this EEPROM compare with EEPROM mentioned above with reference to drawing 4 , and be control gate line $x_0 \sim x_M$ of each line . the points connect to the outgoing end of the writing / read-out electrical potential difference switch circuit 20 which exist common to each line through 2nd D mold

transistor DT 2 (connect with the selection input edge 11 of each line) differ , and since others be the same , it attach the same sign as the inside of drawing 4 . In this case, the same effectiveness as the 3rd example which was mentioned above with reference to above-mentioned drawing 4 , and the 2nd example which was mentioned above with reference to drawing 2 besides the same effectiveness is acquired.

[0058] Drawing 6 takes out a part of memory cell array of EEPROM which deformed like the modification of the 2nd example which was mentioned above with reference to said drawing 3 , and a part of cel circumference circuit to EEPROM of above-mentioned drawing 5 , and shows circuit connection. A memory cell array is divided into a line address by the block of ***** plurality compared with EEPROM which mentioned this EEPROM above with reference to drawing 4 ; the points constituted so that the output of said line decoder, and writing / read-out electrical-potential-difference switch circuit 20' may perform the line selection and the supply voltage switch to the block by which ***** selection was made at the line address differ, and since others are the same, they attach the same sign as the inside of drawing 5 . In this case, the same effectiveness as the modification of the 2nd example which was mentioned above with reference to

the 3rd example and drawing 2 which were mentioned above with reference to above-mentioned drawing 4, and the 2nd example which was mentioned above with reference to drawing 3 besides the same effectiveness is acquired.

[0059] In addition, although each above-mentioned example showed EEPROM which has the memory cell array by which the SISOS cel was arranged in the shape of a matrix, it can apply this invention also to the semiconductor integrated circuit which has the non-volatile memory cell used for 1-bit flag storage, for example. The floating-gate mold memory cell transistor which the semiconductor integrated circuit in this case has a selector gate in a source field side, and was formed into D mold in the state of un-writing in, At the time of the writing of the above-mentioned memory cell transistor

A write-in electrical-potential difference is impressed to the control gate, and the threshold voltage of the N channel transistor of D mold is impressed to the selector gate. At the time of read-out It is characterized by providing the writing / read-out control circuit which impresses the intermediate voltage between 0V, or the interruptible power source electrical potential difference VCC and 0V to the control gate, reads to the selector gate and impresses an electrical potential difference, and the example is described below.

[0060] As shown in drawing 1, (1) As writing / a read-out control circuit The writing / read-out control-input edge which write-in electrical-potential-difference VPP / interruptible power source electrical potential difference VCC inputs corresponding to the time of /read-out at the time of writing (it is equivalent to the selection input edge 11 in drawing 1, and a line decoder outgoing end.) The N channel transistor of D mold with which between the drain sources is connected between the selector gates of said memory cell transistor, and "L" level / "H" level for read-out is impressed to the gate corresponding to the time of /read-out at the time of writing, The CMOS transfer gate which is connected between the above-mentioned writing / read-out control-input edge, and the control gate of the above-mentioned memory cell transistor, and is controlled by ON/OFF state corresponding to the time of /read-out at the time of writing, Between the drain sources, is connected between the above-mentioned control gate and touch-down potential, and if the N channel transistor of E mold controlled by OFF/ON state corresponding to the time of /read-out at the time of writing is provided, the great portion of effectiveness which was mentioned above with reference to drawing 1 will be acquired.

[0061] As shown in drawing 2, (2) As

writing / a read-out control circuit The 1st writing / read-out control-input edge which write-in electrical-potential-difference VPP / interruptible power source electrical potential difference VCC inputs corresponding to the time of /read-out at the time of writing (it is equivalent to the selection input edge 11 in drawing 1, and a line decoder outgoing end.) Between the drain sources is connected between the selector gates of a memory cell transistor. It has the N channel transistor of D mold with which "L" level / "H" level for read-out is impressed to the gate corresponding to the time of /read-out at the time of writing. The control gate of said memory cell transistor is corresponded at the time of /read-out at the time of writing. The 2nd writing / read-out control-input edge which the intermediate voltage between write-in electrical-potential-difference VPP/0V, or supply voltage VCC and 0V inputs (it is equivalent to the outgoing end of the writing / read-out electrical-potential-difference switch circuit 20 in drawing 2.) If it connects, the great portion of effectiveness which was mentioned above with reference to drawing 2 will be acquired.

[0062] As shown in drawing 4, (3) As writing / a read-out control circuit The writing / read-out control-input edge which write-in electrical-potential-difference VPP /

interruptible power source electrical potential difference VCC inputs corresponding to the time of /read-out at the time of writing (it is equivalent to the selection input edge 11 in drawing 1, and a line decoder outgoing end.) The 1st N channel transistor of D mold with which between the drain sources is connected between the selector gates of a memory cell transistor, and "L" level / "H" level for read-out is impressed to the gate corresponding to the time of /read-out at the time of writing. Between the drain sources is connected between the above-mentioned writing / read-out control-input edge, and the control gate of a memory cell transistor. If the 2nd N channel transistor of D mold with which "H" level / [] "L" level for writing are impressed to the gate corresponding to the time of /read-out at the time of writing is provided, the great portion of effectiveness which was mentioned above with reference to drawing 4 will be acquired.

[0063]

[Effect of the Invention] As mentioned above, even when about [usual] 12.5V is used as a write-in electrical potential difference VPP of a non-volatile memory cell according to the semiconductor integrated circuit of this invention, stable writing / read-out actuation are attained, a component design is easy and the effectiveness of not being accompanied by difficult-ization of a scaling is acquired.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The circuit diagram showing a part of memory cell array of EEPROM concerning the 1st example of the semiconductor integrated circuit of this invention, and a part of cel circumference circuit.

[Drawing 2] The circuit diagram showing a part of memory cell array of EEPROM concerning the 2nd example of this invention, and a part of cel circumference circuit.

[Drawing 3] The circuit diagram showing a part of memory cell array concerning the modification of EEPROM of drawing 2, and a part of cel circumference circuit.

[Drawing 4] The circuit diagram showing a part of memory cell array of EEPROM concerning the 3rd example of this invention, and a part of cel circumference circuit.

[Drawing 5] The circuit diagram showing a part of memory cell array concerning the modification of EEPROM of drawing 4, and a part of cel circumference circuit.

[Drawing 6] The circuit diagram showing a part of memory cell array concerning the modification of EEPROM of drawing 5, and a part of cel circumference circuit.

[Drawing 7] The sectional view showing

the conventional SISOS cel.

[Drawing 8] The circuit diagram showing a part of array of the SISOS cel of drawing 7, and a part of cel circumference circuit.

[Drawing 9] The block circuit diagram showing the conventional EEPROM using the memory cell array of drawing 8.

[Drawing 10] The circuit diagram showing a part of memory cell array of EEPROM by which the current proposal is made, and a part of cel circumference circuit.

[Description of Notations]

A ST-SISOS cel, 11 -- 12 A selection input edge, 41 -- Control signal line, 20 20' -- Writing / read-out electrical-potential-difference switch circuit, 94 -- Line decoder, 96 -- A train decoder, 97 -- A memory cell array, MC00 -- a MCMN-SISOS cel, x0 -xM -- A control gate line and z0 -zM -- A selector-gate line, z -- Control signal line, BL0-BLN -- A bit line, CS0 -- crucible swelling-number -- A train selector gate and y0 -yN -- A train selection-control line, and D0-D7 -- The data line (sense line), DT, DT1, DT2 -- D mold transistor, an ET-E mold transistor, the TG-CMOS transfer gate.

[Translation done.]

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-266678

(43)公開日 平成5年(1993)10月15日

(51)Int.Cl.⁵

識別記号

庁内整理番号

FI

技術表示箇所

G11C 16/06

H01L 27/115

9191-5L

9191-5L

8728-4M

G11C 17/00

309 A

309 B

H01L 27/10

434

審査請求 未請求 請求項の数11(全48頁)

(21)出願番号

特願平4-62127

(22)出願日

平成4年(1992)3月18日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 梅沢 明

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝総合研究所内

(72)発明者 堀美 滋

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝総合研究所内

(72)発明者 田中 寿夫

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝総合研究所内

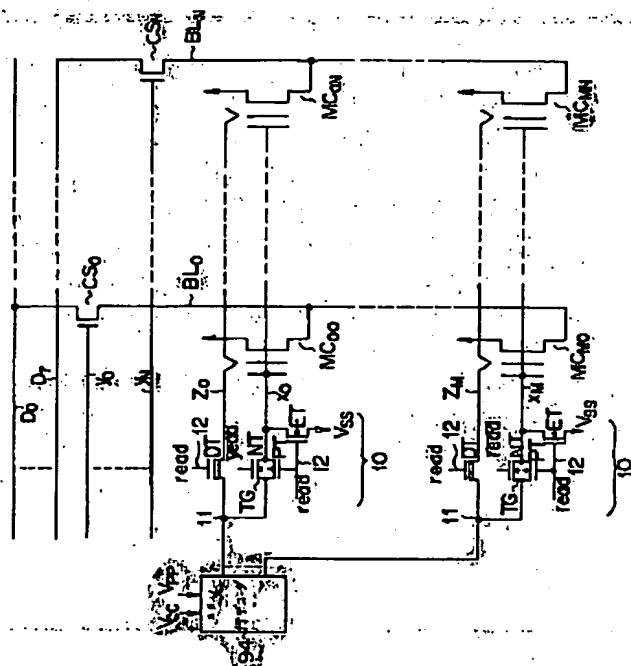
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 半導体集積回路

(57)【要約】

【目的】本発明は、セルの書き込み電圧 V_{pp} として通常の12.5V程度を使用した場合でも、安定した書き込み/読み出し動作が可能になり、素子設計が簡単であり、スケールリングの困難化を伴わないなどの利点を得られることを目的とする。

【構成】ソース領域側に選択ゲートを有する浮遊ゲート型メモリセルトランジスタが行列状に配列されたメモリセルアレイと、書き込み時には、選択された行のセルの制御ゲートおよび選択ゲートに各対応して、書き込み電圧およびディプレッション型のNチャネルトランジスタの閾値電圧を印加し、読み出し時には、選択された行のセルの制御ゲートおよび選択ゲートに各対応して、0Vあるいは5Vと0Vとの間の中間電圧および読み出し電圧を印加する書き込み/読み出し制御回路とを具備することを特徴とする。



(2)

【特許請求の範囲】

【請求項1】 ソース領域側に選択ゲートを有する浮遊ゲート型メモリセルトランジスタが行列状に配列されたメモリセルアレイと、

書込み時には、選択された行のセルの制御ゲートおよび選択ゲートに各対応して、書込み電圧およびディプレッション型のNチャネルトランジスタの閾値電圧を印加し、読み出し時には、選択された行のセルの制御ゲートおよび選択ゲートに各対応して、0Vあるいは5Vと0Vとの間の中間電圧および読み出し電圧を印加する書込み/読み出し制御回路を具備することを特徴とする半導体集積回路。

【請求項2】 前記書込み/読み出し制御回路は、前記メモリセルアレイの各行毎に、行デコード出力が入力する選択入力端と選択ゲート線との間にドレイン・ソース間が接続され、書込み時/読み出し時に対応して“L”レベル/読み出し用“H”レベルがゲートに印加されるディプレッション型のNチャネルトランジスタと、上記選択入力端と制御ゲート線との間に接続され、書込み時/読み出し時に対応してオン/オフ状態に制御されるCMOSトランスファゲートと、上記制御ゲート線と接地電位との間にドレイン・ソース間が接続され、書込み時/読み出し時に対応してオフ/オン状態に制御されるエンハンスメント型のNチャネルトランジスタとを具備することを特徴とする請求項1記載の半導体集積回路。

【請求項3】 前記書込み/読み出し制御回路は、前記メモリセルアレイの各行毎に、行デコード出力が入力する選択入力端と選択ゲート線との間にドレイン・ソース間が接続され、書込み時/読み出し時に対応して“L”レベル/読み出し用“H”レベルがゲートに印加されるディプレッション型のNチャネルトランジスタを有し、前記メモリセルアレイの各行の制御ゲート線は書込み時/読み出し時に対応して書込み電圧/0Vあるいは5Vと0Vとの間の中間電圧を出力する書込み/読み出し電圧切り換え回路の出力端に接続されていることを特徴とする請求項1記載の半導体集積回路。

【請求項4】 前記メモリセルアレイは行アドレスに基づいて複数のブロックに分けられ、前記行デコードおよび前記書込み/読み出し電圧切り換え回路の出力は行アドレスに基づいて選択されたブロックにデコード出力および電圧供給を行うことを特徴とする請求項3記載の半導体集積回路。

【請求項5】 前記書込み/読み出し制御回路は、前記メモリセルアレイの各行毎に、行デコード出力が入力する選択入力端と選択ゲート線との間にドレイン・ソース間が接続され、書込み時/読み出し時に対応して“L”レベル/読み出し用“H”レベルがゲートに印加されるディプレッション型の第1のNチャネルトランジスタと、上記選択入力端と制御ゲート線との間にドレイン・ソース間が接続され、書込み時/読み出し時に対応して

書込み用“H”レベル/“L”レベルがゲートに印加されるディプレッション型の第2のNチャネルトランジスタとを具備することを特徴とする請求項1記載の半導体集積回路。

【請求項6】 前記書込み/読み出し制御回路は、前記メモリセルアレイの各行毎に、行デコード出力が入力する選択入力端と選択ゲート線との間にドレイン・ソース間が接続され、書込み時/読み出し時に対応して“L”レベル/読み出し用“H”レベルがゲートに印加されるディプレッション型のNチャネルトランジスタを有し、書込み時/読み出し時に対応して書込み電圧/0Vあるいは5Vと0Vとの間の中間電圧を出力する書込み/読み出し電圧切り換え回路の出力端と制御ゲート線との間にドレイン・ソース間が接続され、書込み時/読み出し時に対応して書込み用“H”レベル/“L”レベルがゲートに印加されるディプレッション型の第2のNチャネルトランジスタとを具備することを特徴とする請求項1記載の半導体集積回路。

【請求項7】 前記メモリセルアレイは行アドレスに基づいて複数のブロックに分けられ、前記行デコードおよび前記書込み/読み出し電圧切り換え回路の出力は行アドレスに基づいて選択されたブロックにデコード出力および電圧供給を行うことを特徴とする請求項6記載の半導体集積回路。

【請求項8】 ソース領域側に選択ゲートを有し、非書込み状態でディプレッション型化された浮遊ゲート型メモリセルトランジスタと、

上記メモリセルトランジスタの書込み時には、その制御ゲートに書込み電圧を、その選択ゲートにディプレッション型のNチャネルトランジスタの閾値電圧を印加し、読み出し時には、その制御ゲートに0Vあるいは5Vと0Vとの間の中間電圧を印加し、その選択ゲートに読み出し電圧を印加する書込み/読み出し制御回路とを具備することを特徴とする半導体集積回路。

【請求項9】 前記書込み/読み出し制御回路は、書込み時/読み出し時に対応して書込み電圧/通常電源電圧が入力する書込み/読み出し制御入力端と前記メモリセルトランジスタの選択ゲートとの間にドレイン・ソース間が接続され、書込み時/読み出し時に対応して“L”レベル/読み出し用“H”レベルがゲートに印加されるディプレッション型のNチャネルトランジスタと、上記書込み/読み出し制御入力端と上記メモリセルトランジスタの制御ゲートとの間に接続され、書込み時/読み出し時に対応してオン/オフ状態に制御されるCMOSトランスファゲートと、上記制御ゲートと接地電位との間にドレイン・ソース間が接続され、書込み時/読み出し時に対応してオフ/オン状態に制御されるエンハンスメント型のNチャネルトランジスタとを具備することを特徴とする請求項8記載の半導体集積回路。

【請求項10】 前記書込み/読み出し制御回路は、書

(3)

3

込み時／読み出し時に対応して書き込み電圧／通常電源電圧が入力する第1の書き込み／読み出し制御入力端と前記メモリセルトランジスタの選択ゲートとの間にドレイン・ソース間が接続され、書き込み時／読み出し時に対応して“L”レベル／読み出し用“H”レベルがゲートに印加されるディプレッション型のNチャネルトランジスタを有し、前記メモリセルトランジスタの制御ゲートは書き込み時／読み出し時に対応して書き込み電圧／0Vあるいは5Vと0Vとの間の中間電圧が入力する第2の書き込み／読み出し制御入力端に接続されることを特徴とする請求項8記載の半導体集積回路。

【請求項11】 前記書き込み／読み出し制御回路は、書き込み時／読み出し時に対応して書き込み電圧／通常電源電圧が入力する第1の書き込み／読み出し制御入力端と前記メモリセルトランジスタの選択ゲートとの間にドレイン・ソース間が接続され、書き込み時／読み出し時に対応して“L”レベル／読み出し用“H”レベルがゲートに印加されるディプレッション型の第1のNチャネルトランジスタと、上記書き込み／読み出し電圧切り換え回路と前記メモリセルトランジスタの制御ゲートとの間にドレイン・ソース間が接続され、書き込み時／読み出し時に対応して書き込み用“H”レベル／“L”レベルがゲートに印加されるディプレッション型の第2のNチャネルトランジスタとを具備する特徴とする請求項8記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体集積回路に係り、特に制御ゲートおよび浮遊ゲートのソース領域側の側壁に側部絶縁膜を介して形成された選択ゲートを持つ不揮発性メモリセルおよびそれを用いた不揮発性半導体メモリに関する。

【0002】

【従来の技術】 最近、EEPROM（電氣的消去・再書き込み可能な読み出し専用メモリ）セルの一種として、一括消去に適したEEPROMセルが提案されており、その断面構造を図7（a）に、その等価回路を図7（b）に示している。

【0003】 図7（a）において、71は第1導電型の*

4

*半導体基板、72および73はこの半導体基板71の表面に選択的に設けられ、上記半導体基板71とは逆の第2導電型の第1不純物領域（ドレイン）および第2不純物領域（ソース）、74は上記半導体基板表面上に形成された第1ゲート絶縁膜、75は上記半導体基板上のドレイン・ソース間で上記第1ゲート絶縁膜74を介して設けられた第1ゲート電極（浮遊ゲート）、76はこの浮遊ゲート上に層間絶縁膜77を介して設けられた第2ゲート電極（制御ゲート）、78は上記浮遊ゲート75および制御ゲート76のソース領域側側壁に側部絶縁膜79を介し、且つ、前記半導体基板上に第2ゲート絶縁膜80を介して設けられた第3ゲート電極（選択ゲート）である。

【0004】 このようにソース領域側に選択ゲート78を持つEEPROMセルは、図7の（b）に示す等価回路のように、浮遊ゲート74および制御ゲート76を有する浮遊ゲート型トランジスタと、選択ゲート78を有する選択トランジスタ（オフセット・ゲート）が直列に接続されており、過消去により閾値電圧 V_{TH} が負になって常にオン状態になるという問題を回避することができるという特長があり、以下、このセルをSISOS（Sidewall Select Gate On Its Source Side）セルと称する。

【0005】 ここで、セルの過消去について簡単に説明する。浮遊ゲート74に電子が注入されると、セルの閾値は通常の正の値よりも上がり、通常の読み出し電圧ではセルはオフ状態になっている。書き込まれたセルから電子を引き抜くことにより、再び元の閾値となるが、逆に電子を引き抜き過ぎるとさらに閾値が下がり、閾値が負になる（セルのディプレッション型化）ことがあり、このような状態をもたらす消去を過消去という。通常、過消去が生じると、セルは、制御ゲート76にバイアスが印加されない限り常にオン状態になり、セルに接続されているビット線に電流が流れ、このセルを読み出すことが不可能になる。従来、SISOSセルの選択時には、各動作モードに対応して例えば表1に示すように電圧を印加している。

【0006】

【表1】

	読み出し	書き込み	消去
制御ゲート電圧 V_{CG}	V_{CC}	V_{PP}	0V
選択ゲート電圧 V_{SG}	V_{CC}	1.5V	0V
ドレインの電圧 V_D	1V	V_{CC}	V_{PP}

【0007】 即ち、書き込み時には、制御ゲートには書き込み電圧 V_{PP} （通常、1.2～5V）、選択ゲートには例えば1.5Vを印加し、読み出し時には、制御ゲートおよび選択ゲートにそれぞれ電源電圧 V_{CC} （通常、5V）を

印加し、消去時には、制御ゲートおよび選択ゲートにそれぞれ接地電位0Vを印加している。

【0008】 図8は、図7のSISOSセルのレイアウトの一部を取り出してその回路接続を示しており、MC00～

(4)

5

MC_{MN}行列状に配列されたSISOSセル、 $x_0 \sim x_M$ は行方向の制御ゲート線、 $z_0 \sim z_M$ 行方向の選択ゲート線、 $BL_0 \sim BL_N$ 列方向のビット線、 $CS_0 \sim CS_N$ は列選択ゲート、 $y_0 \sim y_N$ は列選択制御線、 $D_0 \sim D_7$ は複数列に共通に接続されたデータ線（センスライン）である。

【0009】図9は、図8のメモリセルアレイを用いた従来のEEPROMの回路ブロックの一部を示している。ここで、91は書き込み中間電位発生回路、92はモード切り換え回路、93はモード設定信号発生回路、94は行デコーダ、95は読み出し中間電位発生回路、96は列デコーダ、97はメモリセルアレイである。

【0010】上記のような従来のEEPROMにおいて、メモリセルアレイ97内の選択されたSISOSセルに対する読み出しに際しては、その選択ゲートと制御ゲートには同一の電源電圧 V_{CC} が印加され、そのドレインにはセンスラインに接続されている読み出し中間電位発生回路95から選択された列選択ゲートを経て1Vの読み出し電圧が印加される。この際、選択されていないSISOSセルに対しては、その選択ゲートおよび制御ゲートには0Vが印加され、そのドレインには電圧が印加されない（浮遊状態）。

【0011】また、選択されたSISOSセルに対する書き込み（プログラム）に際しては、その選択ゲートには書き込み中間電位発生回路91により発生された中間電位（1.5V）が印加され、その制御ゲートには外部電源電圧あるいは内部昇圧電圧の書き込み電圧 V_{pp} が印加され、そのドレインには電源電圧 V_{CC} がセンスラインから選択された列選択ゲートを経て印加される。この際、選択されていないSISOSセルに対しては、その選択ゲートおよび制御ゲートには0Vが印加され、そのドレインには電圧が印加されない。

【0012】また、SISOSセルに対する例えば一括消去に際しては、その選択ゲートおよび制御ゲートには0Vが印加され、そのドレインにはセンスラインから列選択ゲートを経て書き込み電圧 V_{pp} が印加される。

【0013】上記したように従来のEEPROMは、選択されたSISOSセルの選択ゲートに対する印加電圧として、読み出し／書き込み／消去時に対応して5V／1.5V／0Vのように3種類の電圧を使い分けなければならない、書き込み時には選択されたSISOSセルの選択ゲートと制御ゲートとに異なる電圧を印加するために行デコーダ94などのセル周辺回路が複雑化していた。

【0014】このような問題点を解決すべく、図10に示すように、SISOSセル1の制御ゲートCGと選択ゲートSGとの間にドレイン・ソース間が接続されたディプレッション（D）型のNチャネルトランジスタDTを具備した不揮発性メモリセルを有する半導体集積回路が提案されている。

6

【0015】この提案に係る不揮発性メモリセルによれば、例えば行デコーダの出力をSISOSセル1の制御ゲートCGおよび選択ゲートSGに同時に入力してセルを選択し、読み出し／書き込み／消去に対応してD型トランジスタDTのゲート電圧 $r_{e a d}$ を電源電圧 $V_{CC}/0V/0V$ （中間電位不要）とするだけで、制御ゲート電圧がD型トランジスタDTを介して選択ゲートに伝えられ、選択ゲートに所望の電圧が印加されるようになるので、不揮発性メモリセルに対する書き込みの中間電位を発生する特別な回路を必要とすることなく、しかも、セルの読み出し時と書き込み時に必要なバイアス状態を容易に供給することが可能になり、セル周辺回路の簡易化を図ることができる。

【0016】即ち、セルに対する書き込みに際しては、その制御ゲートCGに書き込み電圧 V_{pp} が印加され、D型トランジスタDTのゲートに0Vが印加され、そのドレインに電源電圧 V_{CC} が印加される。この場合、D型トランジスタDTの閾値電圧（ $-V_{THD}$ ）がほぼ1.5Vであるとすれば、このD型トランジスタDTを通してセルの選択ゲートには約1.5Vが伝わる。

【0017】また、セルの読み出しに際しては、その制御ゲートCGに電源電圧 V_{CC} が印加され、D型トランジスタDTのゲートに電源電圧 V_{CC} が印加され、そのドレインに読み出し電圧が印加される。この場合、D型トランジスタDTを通してセルの選択ゲートには電源電圧 V_{CC} が伝わる。

【0018】また、セルに対する消去に際しては、その制御ゲートCGに0Vが印加され、D型トランジスタDTのゲートには0Vが印加され、そのドレインに書き込み電圧 V_{pp} が印加される。この場合、D型トランジスタDTを通してセルの選択ゲートには0Vが伝わる。

【0019】ところで、上記したようなSISOSセル1の制御ゲートCGと選択ゲートSGとの間にD型トランジスタDTが接続され、読み出しに際してその制御ゲートCGおよび選択ゲートSGにそれぞれ電源電圧 V_{CC} が印加される不揮発性メモリセルは、セルの閾値 V_{TH} が電源電圧 V_{CC} より十分に大きければ、オフ状態の信号“0”が正確に読み出されることになる。しかし、1.2.5V程度の書き込み電圧 V_{pp} により書込まれるセルの閾値 V_{TH} のマージンが読み出しの基準電圧5Vに対して少ないので、書き込みが不十分なセルが存在することが起こり得る。この書き込みが不十分なセルの読み出しに際しては、セルのオフ状態が信号“0”として正確に読み出されず、誤って信号“1”として読み出されてしまうことが起こり得る。

【0020】この問題は、書き込み電圧 V_{pp} を例えば15Vと高くすれば回避できるが、セル周辺回路に使用されるトランジスタを高耐圧トランジスタに設計しなければならない、セル周辺回路およびセルのスケーリングが困難になる。具体的には、ゲート酸化膜を厚くする、ジャン

50

(5)

7

クシオンブレークダウン電圧を上げるためのフィールド・イオン・インプランテーションを行う、等のプロセス的な処理が必要となり、厄介である。

【0021】

【発明が解決しようとする課題】上記したような現在提案されている不揮発性メモリセルは、12.5V程度の書込み電圧 V_{pp} により書込まれるセルの閾値 V_{TH} のマージンが読み出しの基準電圧5Vに対して少ないので、書込みが不十分なセルが存在することが起こり、読み出しに際してオフ状態の信号“0”が正確に読み出されないことが起こるという問題があり、これを回避しようとして書込み電圧 V_{pp} を高くすればスケールアップが困難になるという問題がある。

【0022】本発明は、上記問題点を解決すべくなされたもので、その目的は、セルの書込み電圧 V_{pp} として通常の12.5V程度を使用した場合でも、安定した書込み／読み出し動作が可能になり、素子設計が簡単であり、スケールアップの困難化を伴わないなどの利点を得られる半導体集積回路を提供することにある。

【0023】

【課題を解決するための手段】第1の発明の半導体集積回路は、ソース領域側に選択ゲートを有する浮遊ゲート型メモリセルトランジスタが行列状に配列されたメモリセルアレイと、書込み時には、選択された行のセルの制御ゲートおよび選択ゲートに各対応して、書込み電圧およびディプレッション型のNチャネルトランジスタの閾値電圧を印加し、読み出し時には、選択された行のセルの制御ゲートおよび選択ゲートに各対応して、0Vあるいは5Vと0Vとの間の中間電圧および読み出し電圧を印加する書込み／読み出し制御回路とを具備することを特徴とする。

【0024】また、第2の発明の半導体集積回路は、ソース領域側に選択ゲートを有し、非書込み状態でD型化された浮遊ゲート型メモリセルトランジスタと、上記メモリセルトランジスタの書込み時には、その制御ゲートに書込み電圧、その選択ゲートにディプレッション型のNチャネルトランジスタの閾値電圧を印加し、読み出し時には、その制御ゲートに0Vあるいは5Vと0Vとの間の中間電圧を印加し、その選択ゲートに読み出し電圧を印加する書込み／読み出し制御回路とを具備することを特徴とする。

【0025】

【作用】本発明の半導体集積回路で用いられている不揮発性メモリセルは、D型化されたSISOSセルが用いられており、非書込み状態で制御ゲートからみた閾値が負になっているが、セルの書込み電圧 V_{pp} が12.5V程度であっても、制御ゲートに書込み電圧 V_{pp} 、選択ゲートにD型トランジスタの閾値電圧を印加してセルをE型化することができるので、読み出しの基準電圧を接地

8

電位または5Vより低い中間電圧とすれば、セルの閾値 V_{TH} のマージンが読み出しの基準電圧に対して十分になる。従って、セルの読み出しに際して、選択ゲートに電源電圧 V_{CC} 、制御ゲートに接地電位あるいは5Vより低い中間電圧を印加すれば、選択されたセルのみ選択ゲートがオンになり、選択されたセルがD型であるかE型であるか、つまり、セルのオフ／オン状態を正確に判定し、オフ／オン状態正に対応して信号の“0”／“1”を正確に読み出すことが可能になる。このように、通常10の書込み電圧 V_{pp} で動作が可能となるので、素子設計が簡単であり、スケールアップの困難化を伴わないで済む。

【0026】

【実施例】以下、図面を参照して本発明の実施例を詳細に説明する。

【0027】図1は、本発明の第1実施例に係るEEPROMのメモリセルアレイの一部および周辺回路の一部を取り出して回路接続を示している。このEEPROMは、図10を参照して前述したEEPROMと比べて、非書込み状態でD型化されたSISOSセルSTが用いられており、書込み／読み出し制御回路10が異なる。即ち、メモリセルアレイの各行毎に、書込み／読み出し制御回路10として、行デコーダ出力が入力する選択入力端11と制御ゲート線（第1ワード線）との間に接続されたCMOSトランスファゲートTGと、上記制御ゲート線と接地電位 V_{SS} との間にドレイン・ソース間が接続され、ゲートが上記CMOSトランスファゲートTGのPチャネルトランジスタPTのゲートに接続されたリセット用のE型トランジスタETと、選択入力端11と選択ゲート線（第2ワード線）との間にドレイン・ソース間が接続され、それぞれのゲートが制御信号線12に共通に接続されたD型トランジスタDTとを具備している。ここで、上記CMOSトランスファゲートTGのPチャネルトランジスタPTのゲートおよびE型トランジスタETのゲートには前記D型トランジスタDTのゲートと同じ制御信号readが入力し、上記CMOSトランスファゲートTGのNチャネルトランジスタNTのゲートには上記制御信号readとは相補的な反転制御信号／(read)が入力する。上記制御信号readは、読み出し動作時には読み出し用の“H”レベル（通常、 V_{CC} 電圧）、それ以外では“L”レベル（0V）になり、上記反転制御信号／(read)は、読み出し動作時には“L”レベル（0V）、それ以外では書込み用の“H”レベル（通常、 V_{pp} 電圧）になる。なお、図1において、図10中と同じ部分には同じ符号を付している。次に、上記構成のEEPROMにおいては、書込み／読み出し動作に応じて例えば表2に示すように電圧が印加される。

【0028】

【表2】

(6)

9

10

	読み出し	書込み	書込み(非選択)
制御ゲート電圧 V_{CG}	OV	V_{pp}	OV
選択ゲート電圧 V_{SG}	V_{CC}	1.5V	OV
ドレインの電圧 V_D	1V	V_{CC}	V_{CC}

【0029】即ち、メモリセルアレイ内の選択されたSISOSセル(例えば MC_{ON})に対する書込みに際しては、行デコーダにより選択された行の選択入力端11に書込み電圧 V_{pp} が印加される。この時、選択された行のCMOSTランスファゲートTGはオン状態、E型トランジスタETはオフ状態になっているので、書込み電圧 V_{pp} が上記CMOSTランスファゲートTGを経て選択された行のセルの制御ゲートに印加される。また、この時、D型トランジスタDTのゲートには“L”レベルの制御信号readが印加されており、選択された行のセルの選択ゲートにはD型トランジスタDTを通して約1.5Vが伝わる。なお、列デコーダにより選択された列のセルのドレインには、電源電圧 V_{CC} がセンスラインから列選択ゲート CS_N およびビット線 BL_N を経て印加される。

【0030】この際、非選択行の選択入力端11には0Vが印加され、非選択行の制御ゲート線(x_0 以外)、選択ゲート線(z_0 以外)には0Vが印加され、非選択列の列選択ゲート(CS_N 以外)およびビット線(BL_N 以外)に接続されているドレインには電圧が印加されない。従って、選択されたSISOSセル MC_{ON} に書込みが行われ、それ以外の選択されていないSISOSセルには書込みが行われない。

【0031】また、メモリセルアレイ内の選択されたSISOSセル(例えば MC_{ON})に対する読み出しに際しては、選択された行の選択入力端11に電源電圧 V_{CC} が印加される。この時、選択された行のCMOSTランスファゲートTGはオフ状態、E型トランジスタETはオン状態になっているので、選択された行のセルの制御ゲートは接地電位が印加される。また、この時、D型トランジスタDTのゲートには読み出し用“H”レベルの制御信号readが印加されており、選択された行のセルの選択ゲートにはD型トランジスタDTを通して電源電圧 V_{CC} が伝わる。なお、セルのドレインには、センスラインの読み出し電圧(約1V)が列選択ゲート CS_N およびビット線 BL_N を経て印加される。

【0032】この際、非選択行の選択入力端11には0Vが印加され、非選択行の制御ゲート線(x_0 以外)、選択ゲート線(z_0 以外)には0Vが印加され、非選択列の列選択ゲート(CS_N 以外)およびビット線(BL_N 以外)に接続されているドレインには電圧が印加されない。従って、選択されたSISOSセル MC_{ON} から読み出しが行われ、それ以外の選択されていないSISOSセルからは読み出しが行われない。

Sセルからは読み出しが行われない。

【0033】上記第1実施例のEEPROMにおいては、D型化されたSISOSセルSTが用いられており、非書込み状態のセルは制御ゲートからみた閾値が負になっているが、セルの読み出し/書込みに対応して制御信号レベルを制御することにより、選択行の選択入力端11の入力電圧が所望の電圧となるように制御されて選択行のセルの制御ゲート、選択ゲートに印加され、安定した書込み/読み出し動作が可能になる。即ち、セルの書込み電圧 V_{pp} が12.5V程度であっても、制御ゲートに書込み電圧 V_{pp} 、選択ゲートにD型トランジスタDTの閾値電圧を印加してセルをE型化することができるので、読み出しの基準電圧を接地電位とすれば、セルの閾値 V_{TH} のマージンが読み出しの基準電圧0Vに対して十分になる。従って、セルの読み出しに際して、選択ゲートに電源電圧 V_{CC} 、制御ゲートに接地電位を印加すれば、選択行のセルのみ選択ゲートがオンになり、選択されたセルがD型であるかE型であるか、つまり、セルのオフ/オン状態を正確に判定し、オフ/オン状態に対応して信号の“0”/“1”を正確に読み出すことが可能になる。

【0034】このように、通常の書込み電圧 V_{pp} (従来の4M-EEPROMの書込み電圧 V_{pp} と同じく12.5V)で動作が可能となるので、素子設計が簡単であり、スケージングの困難化を伴わないという意味においても非常に有効である。

【0035】また、上記第1実施例のEEPROMによれば、全てのセルが選択か非選択かのいずれかの状態にあり、かつ、非選択のセルの制御ゲート、選択ゲートは0Vが印加され、安定した回路動作が可能になる。そして、書込みの中間電位を発生する特別な回路を必要とすることなく、セル周辺回路の簡易化を図ることが可能になる。

【0036】なお、SISOSセルSTを非書込み状態でD型化したことに対応して制御ゲート、選択ゲートに対する電圧印加のロジックが若干複雑になり、書込み/読み出し制御回路10用のMOSTランジスタを必要とするので、行デコーダのパターンが若干複雑になる。しかし、上記した書込み/読み出し制御回路10に使用されている程度の数のMOSTランジスタは、パターン化が容易であり、メモリセルのピッチを制約することはない。換言すれば、メモリセルのサイズに合わせた行デコーダの設計が可能になる。

(7)

11

【0037】図2は、本発明の第2実施例に係るEEPROMのメモリエラレイの一部およびセル周辺回路の一部を取り出して回路接続を示している。このEEPROMは、図1を参照して前述したEEPROMと比べて、各行のCMOSトランスファゲートTG、トリセット用のE型トランジスタETが省略され、各行の制御ゲート線（第1ワード線） $x_0 \sim x_M$ はセル周辺回路に各行共通に存在する書込み／読み出し電圧切り換え回路20の出力端に接続されている（選択入力端11から分離されている）点が異なり、その他は同じであるので図1中と同一符号を付している。

【0038】上記書込み／読み出し電圧切り換え回路20は、 V_{CC} 系の信号を V_{pp} 系にレベルシフトするものであり、書込みイネーブル信号／（WE）が一端に入力し、ゲートに電源電圧 V_{CC} が印加されるE型のNチャネルトランジスタ21と、 V_{pp} 電圧端子と上記Nチャネルトランジスタ21の他端との間に接続されたE型のPチャネルトランジスタ22と、このPチャネルトランジスタ22のドレインにゲートが接続され、ソースが V_{pp} 電圧端子に接続されたPチャネルトランジスタ23と、このPチャネルトランジスタ23のドレインと接地電位との間にドレイン・ソース間が接続され、ゲートに前記信号／（WE）が入力するNチャネルトランジスタ24とからなり、上記Pチャネルトランジスタ23とNチャネ

12

*ルトランジスタ24とのドレイン相互接続点が出来端となる。

【0039】ここで、書込み／読み出し電圧切り換え回路20の動作を説明しておく。いま、信号／（WE）が非活性（本例では“H”レベル）状態の時は、Nチャネルトランジスタ24がオンし、出力端が放電されて0Vになる。これに対して、信号／（WE）が活性（本例では“L”レベル）化すると、Pチャネルトランジスタ22およびNチャネルトランジスタ21を介して高電位 V_{pp} から電流が流れ出す。この電流により、Pチャネルトランジスタ23のゲート電位が上昇し、これが $V_{pp}-V_{thp}$ （ V_{thp} はPチャネルトランジスタの閾値電圧）に到達するまでPチャネルトランジスタ23がオンになる。このPチャネルトランジスタ23がオンしている時、高電位 V_{pp} により出力端が充電される。そして、出力端の電位が $V_{pp}-V_{thp}$ に到達すると、Pチャネルトランジスタ22がオフになる。この時には、Pチャネルトランジスタ23もオフにされており、高電位 V_{pp} からの電流流出経路がなくなり、出力端から V_{pp} 電圧が出力する。上記図2のEEPROMにおいては、書込み／読み出しの動作モードに応じて例えば表3に示すように電圧が印加される。

【0040】

【表3】

	読み出し	書込み	書込み（非選択）
制御ゲート電圧 V_{CG}	0V	V_{pp}	V_{pp}
選択ゲート電圧 V_{SG}	V_{CC}	1.5V	0V
ドレインの電圧 V_D	1V	V_{CC}	V_{CC}

【0041】即ち、メモリエラレイ内の選択されたSISOSセル（例えばMC_{0N}）に対する書込みに際しては、各制御ゲート線 $x_0 \sim x_M$ に書込み／読み出し電圧切り換え回路20から書込み電圧 V_{pp} が印加され、行デコーダにより選択された行の選択入力端11に書込み電圧 V_{pp} が印加される。この時、D型トランジスタDTのゲートには“L”レベルの制御信号readが印加されており、選択された行のセルの選択ゲートにはD型トランジスタDTを通して約1.5Vが伝わる。なお、列デコーダにより選択された列のセルのドレインには、電源電圧 V_{CC} がセンスラインから列選択ゲートCS_Nおよびビット線BL_Nを経て印加される。

【0042】この際、非選択行の制御ゲート線（ x_0 以外）にも書込み電圧 V_{pp} が印加されるが、非選択行の選択入力端11には0Vが印加されるので、この0VがD型トランジスタDTを通して非選択行の選択ゲート線（ x_0 以外）に伝わり、非選択列の列選択ゲート（CS_N以外）およびビット線（BL_N以外）に接続されているドレインには電圧が印加されない。従って、選択され

たSISOSセルMC_{0N}に書込みが行われ、それ以外の選択されていないSISOSセルには書込みが行われない。

【0043】また、メモリエラレイ内の選択されたSISOSセル（例えばMC_{0N}）に対する読み出しに際しては、各制御ゲート線 $x_0 \sim x_M$ に書込み／読み出し電圧切り換え回路20から0Vが印加され、行デコーダにより選択された行の選択入力端11に電源電圧 V_{CC} が印加される。この時、D型トランジスタDTのゲートには読み出し用“H”レベルの制御信号が印加されており、選択された行のセルの選択ゲートにはD型トランジスタDTを通して電源電圧 V_{CC} が伝わる。なお、セルのドレインには、センスラインの読み出し電圧（約1V）が列選択ゲートCS_Nおよびビット線BL_Nを経て印加される。

【0044】この際、非選択行の制御ゲート線（ x_0 以外）にも0Vが印加されるが、非選択行の選択入力端11には0Vが印加されるので、この0VがD型トランジスタDTを通して非選択行の選択ゲート線（ x_0 以外）

(8)

13

に伝わり、非選択列の列選択ゲート (CS_N 以外) およびビット線 (BL_N 以外) に接続されているドレインには電圧が印加されない。従って、選択された $SISOS$ セル MC_{0N} から読み出しが行われ、それ以外の選択されていない $SISOS$ セルからは読み出しが行われない。

【0045】上記図2のEEPROMにおいては、前述した第1実施例のEEPROMと同様の効果が得られるほか、行デコーダの回路構成が簡単になり、パターンの利になる。

【0046】図3は、上記図2を参照して前述した第2実施例のEEPROMの変形例に係るメモリセルアレイの一部およびセル周辺回路の一部を取り出して回路接続*

14

*を示している。このEEPROMは、図2を参照して前述したEEPROMと比べて、メモリセルアレイが行アドレスに基づいて複数のブロックに分けられ、前記行デコードおよび書込み/読み出し電圧切り換え回路20'の出力は行アドレスに基づいて選択されたブロックに対する行選択および供給電圧切り換えを行うように構成されている点が異なり、その他は同じであるので図2中と同一符号を付している。上記図3のEEPROMにおいては、書込み/読み出しの動作モードに応じて例えば表4に示すように電圧が印加される。

【0047】

【表4】

	読み出し	書込み	書込み(半選択)	書込み(非選択)
制御ゲート電圧 V_{CG}	OV	V_{pp}	V_{pp}	OV
選択ゲート電圧 V_{SG}	V_{CC}	1.5V	OV	OV
ドレインの電圧 V_D	1V	V_{CC}	V_{CC}	V_{CC}

【0048】このEEPROMの動作は、第2実施例のEEPROMの動作に準じて行われるが、書込み時に制御ゲートおよび選択ゲートにそれぞれ0Vが印加される完全非選択のセルが非選択ブロック内に存在すると共に、書込み時に制御ゲートに書込み電圧 V_{pp} が印加されると共に選択ゲートに0Vが印加される半選択状態のセルが選択ブロック内に存在するようになる。

【0049】図4は、本発明の第3実施例に係るEEPROMのメモリセルアレイの一部およびセル周辺回路の一部を取り出して回路接続を示している。このEEPROMは、図1を参照して前述したEEPROMと比べて、各行毎に、選択入力端1'1と選択ゲート線 z_1 との間に接続されている第1のD型トランジスタDT1とは※

※別に、選択入力端1'1と制御ゲート線 x_1 との間に第2のD型トランジスタDT2が接続され、この第2のD型トランジスタDT2の各ゲートが第2の制御信号線4'1に共通に接続され、第1のD型トランジスタDT1の各ゲートが共通に接続されている第1の制御信号線1'2の制御信号 $read$ に対して相補的な反転制御信号/ $(read)$ が上記第2の制御信号線4'1に与えられる点が異なり、その他は同じであるので図1中と同一符号を付している。上記図4のEEPROMでは、書込み/読み出しの動作モードに応じて例えば表5に示すように電圧が印加される。

【0050】

【表5】

	読み出し	書込み	書込み(非選択)
制御ゲート電圧 V_{CG}	1.5V	V_{pp}	OV
選択ゲート電圧 V_{SG}	V_{CC}	1.5V	OV
ドレインの電圧 V_D	1V	V_{CC}	V_{CC}

【0051】即ち、メモリセルアレイ内の選択された $SISOS$ セル (例えば MC_{0N}) に対する書込みに際しては、行デコードにより選択された行の選択入力端1'1に書込み電圧 V_{pp} (1.2.5V) が印加される。この時、第1のD型トランジスタDT1のゲートには“L”レベルの制御信号/ $(read)$ が印加されており、選択された行のセルの選択ゲートには第1のD型トランジスタDT1を通して約1.5Vが伝わる。これに対して、第2のD型トランジスタDT2のゲートには書込み用

“H”レベル (V_{pp}) の反転制御信号/ $(read)$ が印加されており、選択された行のセルの制御ゲートには

第2のD型トランジスタDT2を通して約1.2.5Vが伝わる。なお、列デコードにより選択された列のセルのドレインには、電源電圧 V_{CC} がセンスラインから列選択ゲート CS_N およびビット線 BL_N を経て印加される。

【0052】この際、非選択行の選択入力端には0Vが印加されるので、非選択行の選択ゲート線 (z_0 以外) および制御ゲート線 (z_0 以外) には0Vが印加され、非選択列の列選択ゲート (CS_N 以外) およびビット線 (BL_N 以外) に接続されているドレインには電圧が印加されない。従って、選択された $SISOS$ セル MC_{0N} に書込みが行われ、それ以外の選択されていない SIS

(9)

15

OSセルには書き込みが行われない。

【0053】また、メモリセルアレイ内の選択されたSISOSセル（例えばMC_{ON}）に対する読み出しに際しては、行デコードにより選択された行の選択入力端11に電源電圧V_{CC}が印加される。この時、第1のD型トランジスタDT1のゲートには読み出し用“H”レベル（V_{CC}）の制御信号readが印加されており、選択された行のセルの選択ゲートには第1のD型トランジスタDT1を通して電源電圧V_{CC}が伝わる。これに対して、第2のD型トランジスタDT2のゲートには“L”レベルの反転制御信号／（read）が印加されており、選択された行のセルの制御ゲートには第2のD型トランジスタDT2を通して約1.5Vが伝わる。なお、セルのドレインには、センスラインの読み出し電圧（約1V）が列選択ゲートCS_Nおよびビット線BL_Nを経て印加される。

【0054】この際、非選択行の選択入力端には0Vが印加されるので、非選択行の選択ゲート線（z₀以外）および制御ゲート線（z₀以外）には0Vが印加され、非選択列の列選択ゲート（CS_N以外）およびビット線（BL_N以外）に接続されているドレインには電圧が印加されない。従って、選択されたSISOSセルMC_{ON}から読み出しが行われ、それ以外の選択されていないSISOSセルからは読み出しが行われない。

【0055】なお、上記2個のD型トランジスタDT1、DT2の閾値電圧は、必ずしも同じに限られず、異なる値に設計してもよく、第2のD型トランジスタDT2は、読み出しに際してゲートに“L”レベルが印加された時に選択行のセルの制御ゲートに通常電源電圧V_{CC}と0Vとの間の中間電圧が伝わるように設計すればよい。

【0056】上記図4のEEPROMにおいては、読み出し時にセルの制御ゲートに通常電源電圧V_{CC}（5V）より低い中間電位（本例では1.5V）が印加されるが、前述した第1実施例のEEPROMと同様の効果が得られる。

【0057】図5は、上記図4のEEPROMに対して、前記図2を参照して前述したような第2実施例のように変形したEEPROMのメモリセルアレイの一部およびセル周辺回路の一部を取り出して回路接続を示している。このEEPROMは、図4を参照して前述したEEPROMと比べて、各行の制御ゲート線x₀～x_Mは第2のD型トランジスタDT2を介して各行に共通に存在する書き込み／読み出し電圧切り換え回路20の出力端に接続されている（各行の選択入力端11には接続されていない）点があり、その他は同じであるので図4中と同一符号を付している。この場合には、上記図4を参照して前述したような第3実施例と同様の効果のほかに、図2を参照して前述したような第2実施例と同様の効果が得られる。

16

【0058】図6は、上記図5のEEPROMに対して、前記図3を参照して前述したような第2実施例の変形例のように変形したEEPROMのメモリセルアレイの一部およびセル周辺回路の一部を取り出して回路接続を示している。このEEPROMは、図4を参照して前述したEEPROMと比べて、メモリセルアレイが行アドレスに基づいて複数のブロックに分けられ、前記行デコードおよび書き込み／読み出し電圧切り換え回路20の出力は行アドレスに基づいて選択されたブロックに対する行選択および供給電圧切り換えを行うように構成されている点があり、その他は同じであるので図5中と同一符号を付している。この場合には、上記図4を参照して前述したような第3実施例および図2を参照して前述したような第2実施例と同様の効果のほかに、図3を参照して前述したような第2実施例の変形例と同様の効果が得られる。

【0059】なお、上記各実施例は、SISOSセルが行列状に配列されたメモリセルアレイを有するEEPROMを示したが、例えば1ビットのフラグ記憶に用いられる不揮発性メモリセルを有する半導体集積回路にも本発明を適用することが可能である。この場合の半導体集積回路は、ソース領域側に選択ゲートを有し、非書き込み状態でD型化された浮遊ゲート型メモリセルトランジスタと、上記メモリセルトランジスタの書き込み時には、その制御ゲートに書き込み電圧、その選択ゲートにD型のNチャネルトランジスタの閾値電圧を印加し、読み出し時には、その制御ゲートに0Vあるいは通常電源電圧V_{CC}と0Vとの間の中間電圧を印加し、その選択ゲートに読み出し電圧を印加する書き込み／読み出し制御回路とを具備することを特徴とするものであり、その具体例を以下に記す。

【0060】（1）図1に示したように、書き込み／読み出し制御回路として、書き込み時／読み出し時に対応して書き込み電圧V_{pp}／通常電源電圧V_{CC}が入力する書き込み／読み出し制御入力端（図1中の選択入力端11、行デコード出力端に相当する。）と前記メモリセルトランジスタの選択ゲートとの間にドレイン・ソース間が接続され、書き込み時／読み出し時に対応して“L”レベル／読み出し用“H”レベルがゲートに印加されるD型のNチャネルトランジスタと、上記書き込み／読み出し制御入力端と上記メモリセルトランジスタの制御ゲートとの間に接続され、書き込み時／読み出し時に対応してオン／オフ状態に制御されるCMOSトランスファゲートと、上記制御ゲートと接地電位との間にドレイン・ソース間が接続され、書き込み時／読み出し時に対応してオフ／オン状態に制御されるE型のNチャネルトランジスタとを具備すれば、図1を参照して前述したような効果の大部分が得られる。

【0061】（2）図2に示したように、書き込み／読み出し制御回路として、（書き込み時／読み出し時に対応し

(10)

17

て書き込み電圧 V_{pp} /通常電源電圧 V_{CC} が入力する第1の書き込み/読み出し制御入力端(図1中の選択入力端11、行デコーダ出力端に相当する。)とメモリセルトランジスタの選択ゲートとの間にドレイン・ソース間が接続され、書き込み時/読み出し時に対応して“L”レベル/読み出し用“H”レベルがゲートに印加されるD型のNチャネルトランジスタを有し、前記メモリセルトランジスタの制御ゲートを書込み時/読み出し時に対応して書き込み電圧 V_{pp} /0Vあるいは電源電圧 V_{CC} と0Vとの間の中間電圧が入力する第2の書き込み/読み出し制御入力端(図2中の書き込み/読み出し電圧切り換え回路20の出力端に相当する。)に接続すれば、図2を参照して前述したような効果の大部分が得られる。

【0062】(3) 図4に示したように、書き込み/読み出し制御回路として、書き込み時/読み出し時に対応して書き込み電圧 V_{pp} /通常電源電圧 V_{CC} が入力する書き込み/読み出し制御入力端(図1中の選択入力端11、行デコーダ出力端に相当する。)とメモリセルトランジスタの選択ゲートとの間にドレイン・ソース間が接続され、書き込み時/読み出し時に対応して“L”レベル/読み出し用“H”レベルがゲートに印加されるD型の第1のNチャネルトランジスタと、上記書き込み/読み出し制御入力端とメモリセルトランジスタの制御ゲートとの間にドレイン・ソース間が接続され、書き込み時/読み出し時に対応して書き込み用“H”レベル/“L”レベルがゲートに印加されるD型の第2のNチャネルトランジスタとを具備すれば、図4を参照して前述したような効果の大部分が得られる。

【0063】

【発明の効果】上述したように本発明の半導体集積回路によれば、不揮発性メモリセルの書き込み電圧 V_{pp} として通常の12.5V程度を使用した場合でも、安定した書き込み/読み出し動作が可能になり、素子設計が簡単であり、スケーリングの困難化を伴わないなどの効果が得られる。

18

【図面の簡単な説明】

【図1】本発明の半導体集積回路の第1実施例に係るEEPROMのメモリセルアレイの一部およびセル周辺回路の一部を示す回路図。

【図2】本発明の第2実施例に係るEEPROMのメモリセルアレイの一部およびセル周辺回路の一部を示す回路図。

【図3】図2のEEPROMの変形例に係るメモリセルアレイの一部およびセル周辺回路の一部を示す回路図。

【図4】本発明の第3実施例に係るEEPROMのメモリセルアレイの一部およびセル周辺回路の一部を示す回路図。

【図5】図4のEEPROMの変形例に係るメモリセルアレイの一部およびセル周辺回路の一部を示す回路図。

【図6】図5のEEPROMの変形例に係るメモリセルアレイの一部およびセル周辺回路の一部を示す回路図。

【図7】従来のSISOSセルを示す断面図。

【図8】図7のSISOSセルのアレイの一部およびセル周辺回路の一部を示す回路図。

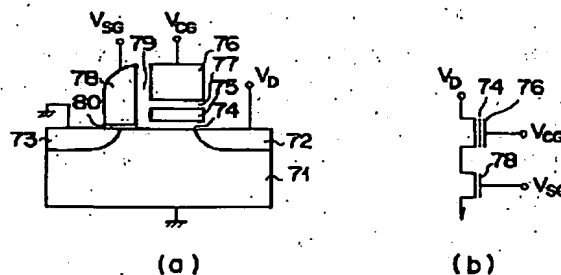
【図9】図8のメモリセルアレイを用いた従来のEEPROMを示すブロック回路図。

【図10】現在提案されているEEPROMのメモリセルアレイの一部およびセル周辺回路の一部を示す回路図。

【符号の説明】

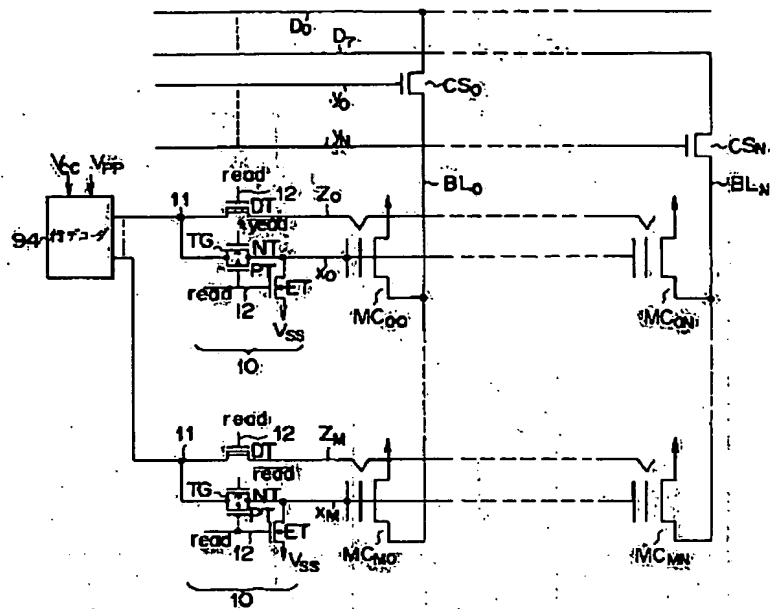
ST…SISOSセル、11…選択入力端、12、41…制御信号線、20、20'…書き込み/読み出し電圧切り換え回路、94…行デコーダ、96…列デコーダ、97…メモリセルアレイ、MC00~MCMN…S₀、S₁、S₂…セル、x₀~x_M…制御ゲート線、z₀~z_M…選択ゲート線、Z…制御信号線、BL₀~BL_N…ビット線、CS₀~CS_N…列選択ゲート、y₀~y_N…列選択制御線、D₀~D₇…データ線(センスライン)、DT、DT1、DT2…D型トランジスタ、ET…E型トランジスタ、TG…CMOSトランスファゲート。

【図7】

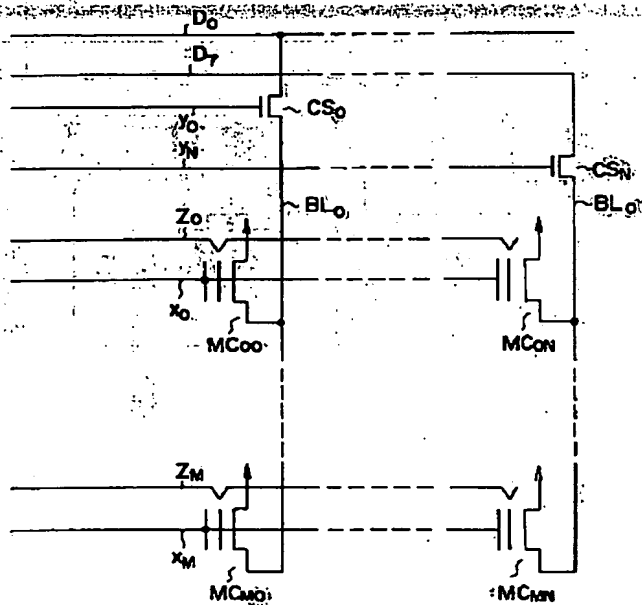


(11)

【図 1】

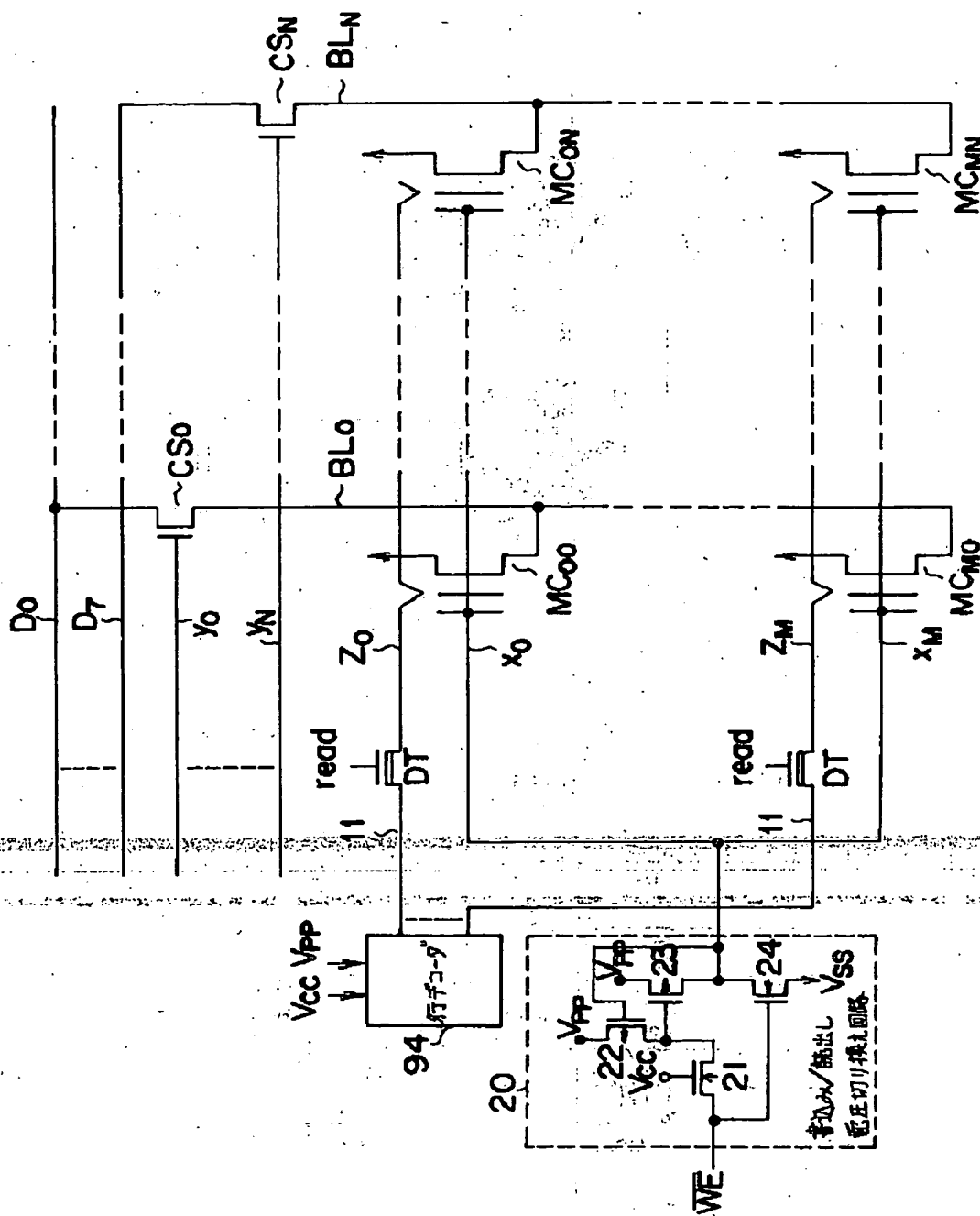


【图 8】



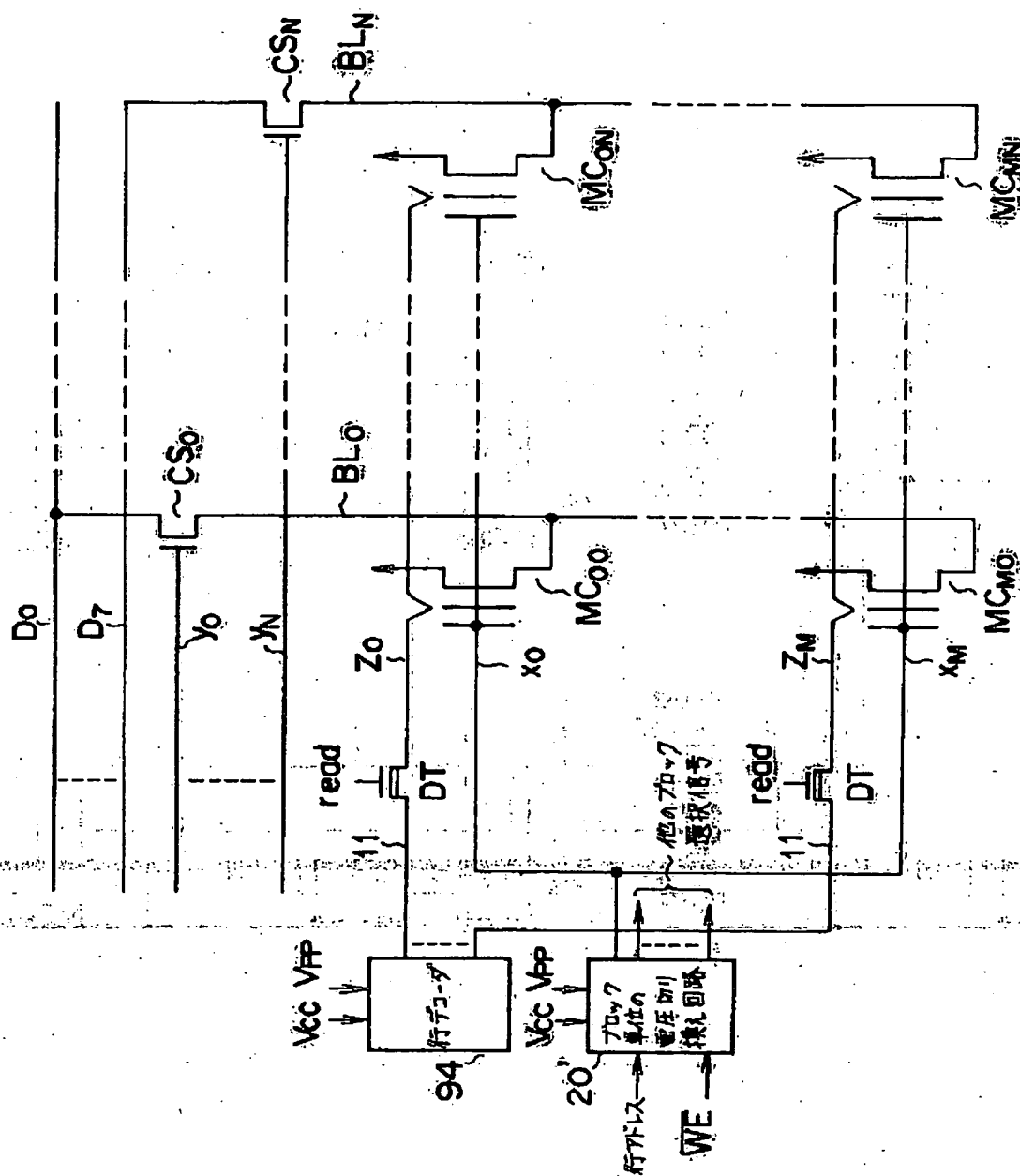
(12)

【図2】



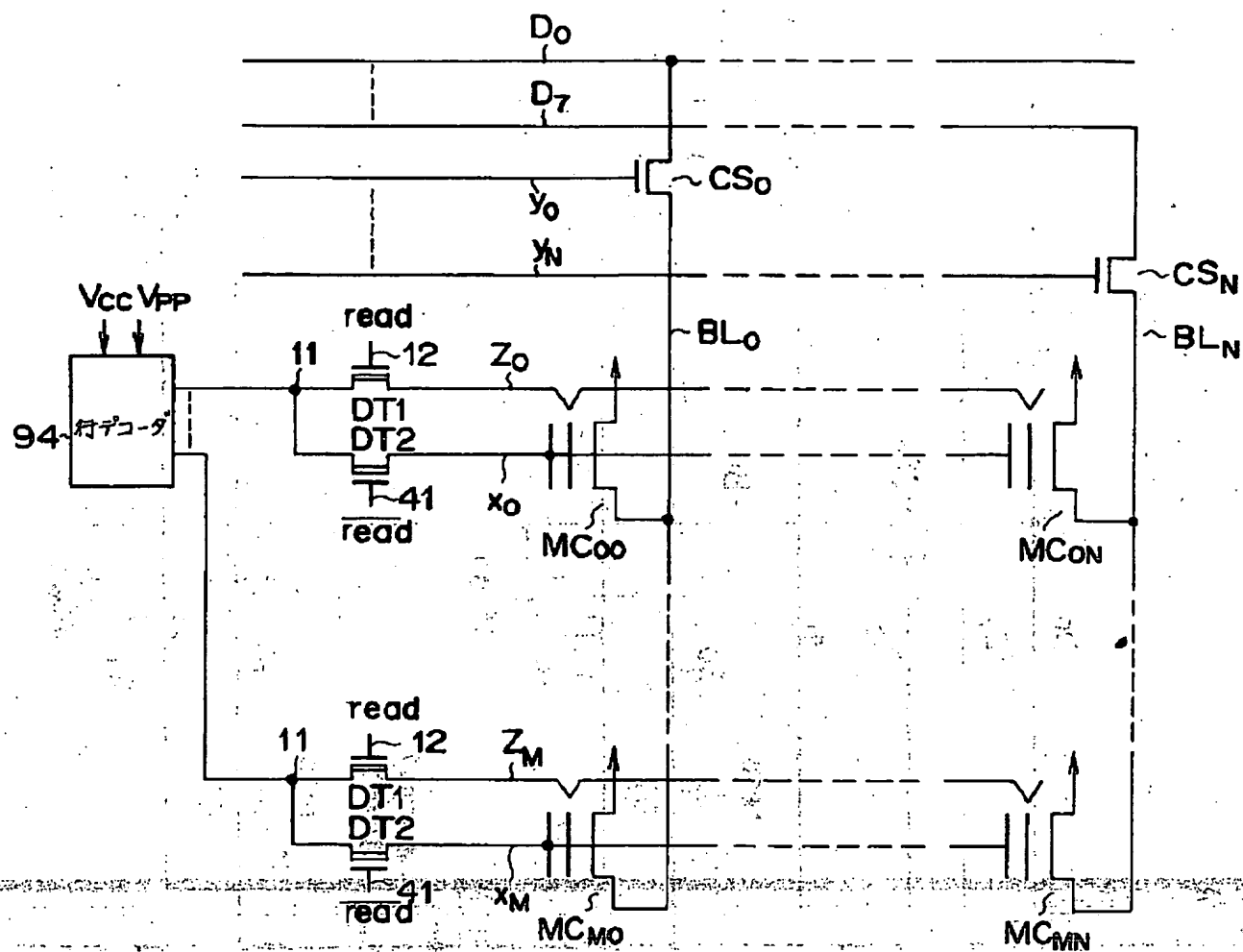
(13)

【図 3】



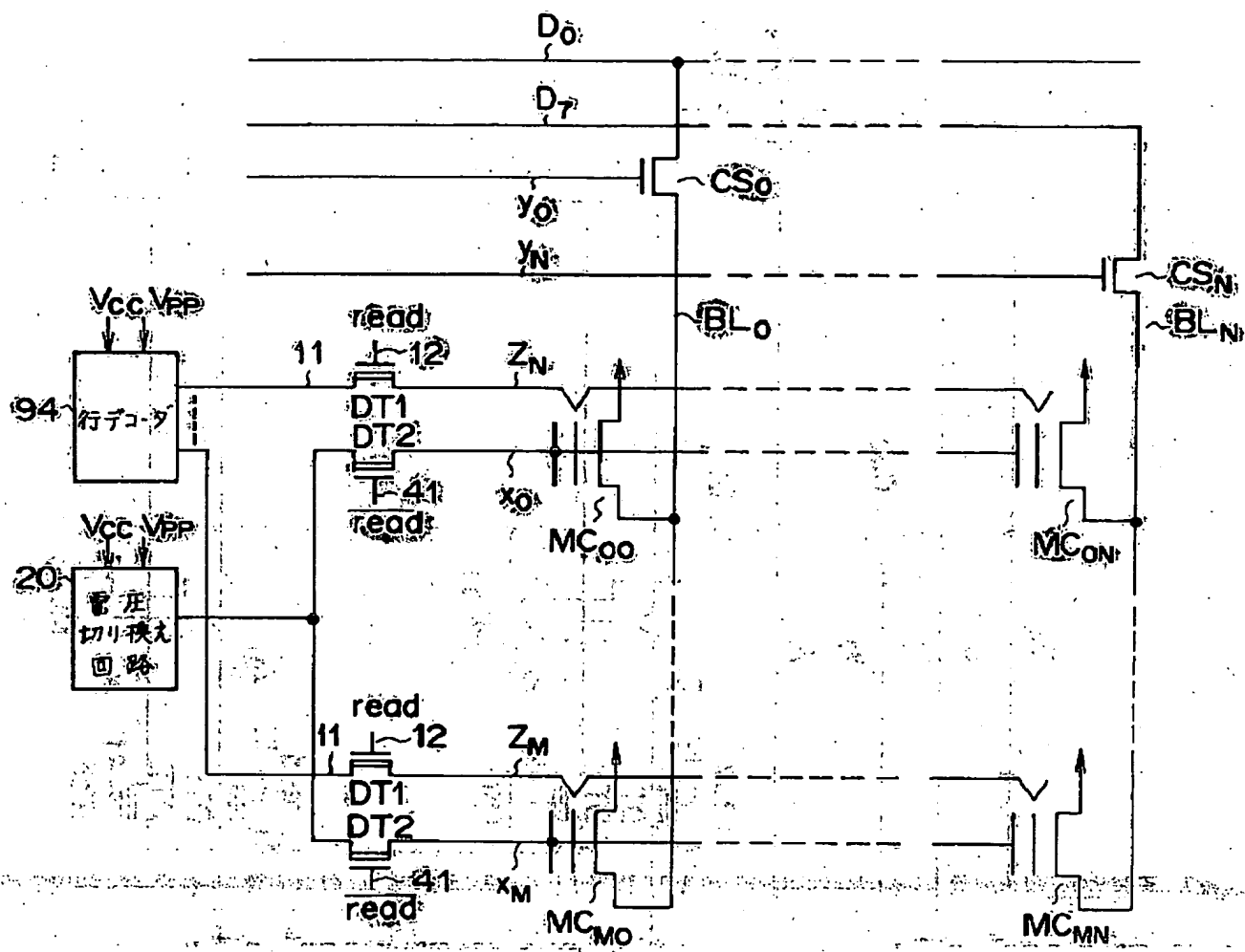
(14)

【図4】



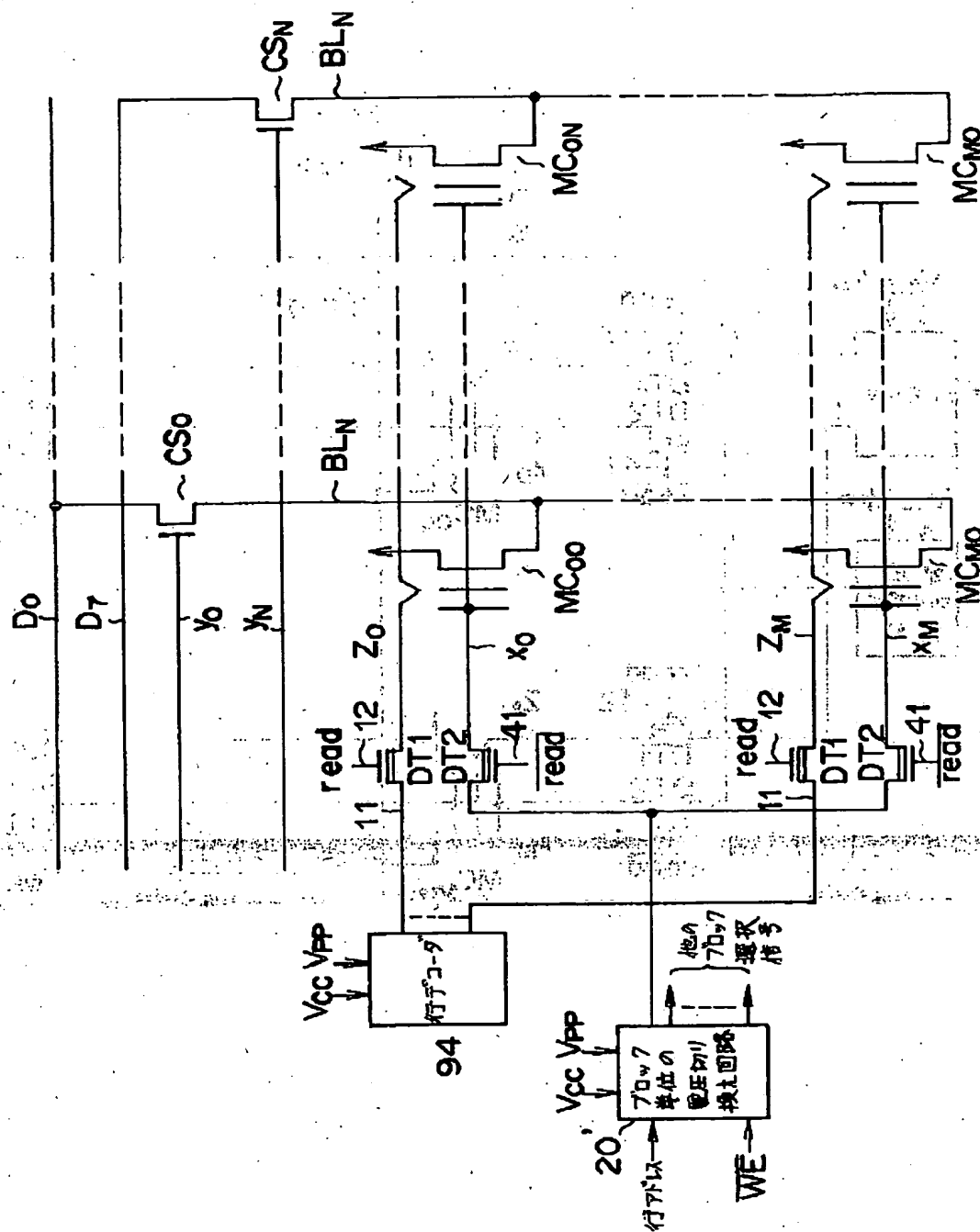
(15)

【図5】



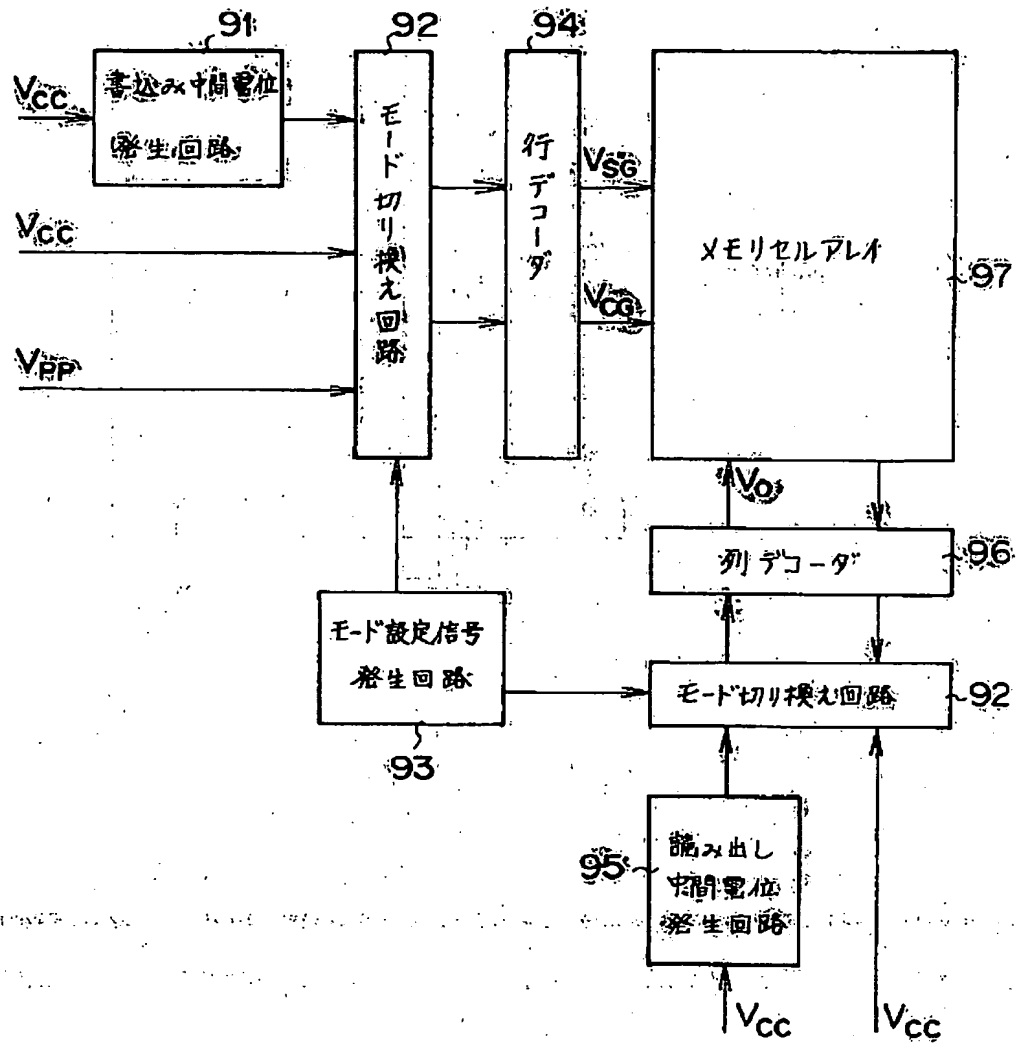
(16)

【図6】



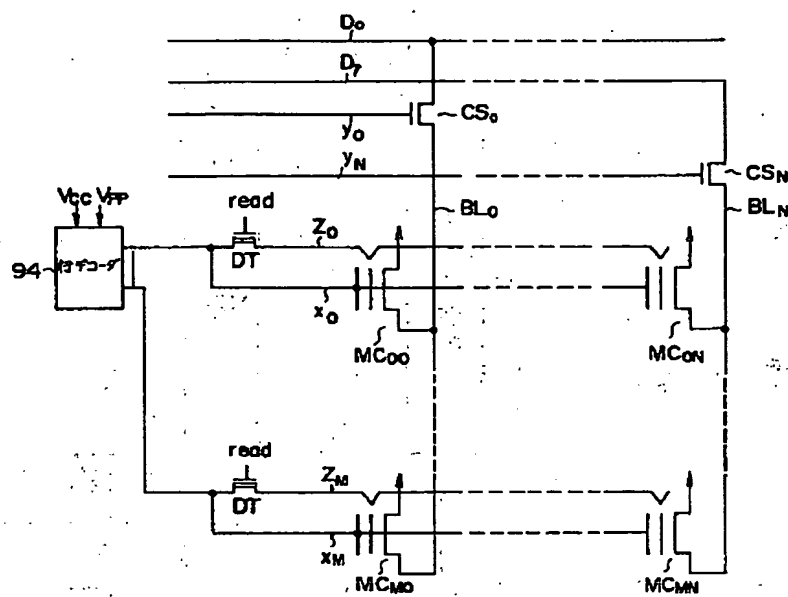
(17)

【図9】



(18)

【図10】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.